

日本国特許庁
JAPAN PATENT OFFICE

SA2P0022US00

JCC20 U.S. PTO
10/050849
01/18/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2001年 1月19日

出願番号

Application Number: 特願2001-012535

出願人

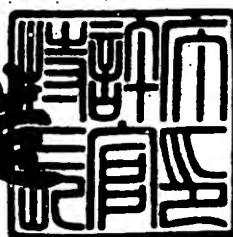
Applicant(s): ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願
【整理番号】 0000932002
【提出日】 平成13年 1月19日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 7/00
G06F 9/22
H03K 19/177

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 小澤 邦彦

【特許出願人】

【識別番号】 000002185
【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算システム

【特許請求の範囲】

【請求項1】 それぞれ異なる構成情報を記憶する複数の構成情報メモリと

指定されるアドレスに応じて、少なくとも演算情報を読み出し、書き込み可能なデータメモリと、

制御信号に応じて、上記複数の構成情報メモリの構成情報を選択する選択装置と、

起動信号を受けると、指定されたパターンで上記データメモリのアドレスを生成し、上記データメモリからの読み出し、データメモリへの書き込みを行い、かつ、生成したアドレスに応じた選択情報を含む制御信号を生成し、上記選択装置に出力するアドレス生成装置と、

上記選択装置で選択された構成情報に基づいて再構成し、上記データメモリの読み出しデータに対し所定の演算を行い、この演算結果を書き込みとしてデータメモリに出力する演算装置と

を有する演算システム。

【請求項2】 上記アドレス生成装置は、生成するアドレス数分、上記データメモリのデータを読み出し、演算結果を上記データメモリに書き戻すという一連の操作を、生成されるアドレス数分行う

請求項1記載の演算システム。

【請求項3】 上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能な制御回路

を有する請求項1記載の演算システム。

【請求項4】 上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能な制御回路

を有する請求項2記載の演算システム。

【請求項5】 それぞれ異なる構成情報を記憶する複数の構成情報メモリと

指定されるアドレスに応じて、少なくとも演算情報を読み出し、書き込み可能なデータメモリと、

制御信号に応じて、上記複数の構成情報メモリの構成情報を選択する選択装置と、

起動信号を受けると、指定されたパターンで上記データメモリのアドレスを生成し、上記データメモリからの読み出し、データメモリへの書き込みを行い、かつ、生成したアドレスに応じた選択情報を含む制御信号を生成し、上記選択装置に出力するアドレス生成装置と、

上記選択装置で選択された構成情報に基づいて再構成し、上記データメモリの読み出しデータに対し所定の演算を行い、この演算結果を書き込みとしてデータメモリに出力する演算装置と、

上記アドレス生成装置に所定のタイミングで起動信号を出力し、生成すべきアドレスパターンを指定する制御回路と

を有する演算システム。

【請求項6】 上記制御回路は、上記複数の構成情報メモリおよびデータメモリにアクセス可能で、上記複数の構成情報メモリに構成情報を書き込み、第2の制御信号を上記選択装置に出力して、上記複数の構成情報メモリの構成情報を利用するかを決定し、上記データメモリのデータを書き込んだ後、上記起動信号を上記アドレス生成装置に出力する

請求項5記載の演算システム。

【請求項7】 上記アドレス生成装置は、生成するアドレス数分、上記データメモリのデータを読み出し、演算結果を上記データメモリに書き戻すという一連の操作を、生成されるアドレス数分行い、動作完了を上記制御回路に報知する
請求項5記載の演算システム。

【請求項8】 上記アドレス生成装置は、生成するアドレス数分、上記データメモリのデータを読み出し、演算結果を上記データメモリに書き戻すという一連の操作を、生成されるアドレス数分行い、動作完了を上記制御回路に報知する

請求項6記載の演算システム。

【請求項9】 上記制御回路は、上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能である

請求項5記載の演算システム。

【請求項10】 上記制御回路は、上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能である

請求項6記載の演算システム。

【請求項11】 上記制御回路は、上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能である

請求項7記載の演算システム。

【請求項12】 上記制御回路は、上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能である

請求項8記載の演算システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、再構成可能な演算装置を含む演算システムに係り、特に、演算器の配列や、演算実行時の係数パラメータ等を、構成情報に基づいて再構成可能な演算装置を含む演算システムに関するものである。

【0002】

【従来の技術】

従来の演算システムは、たとえばCPUと、アドレス生成装置と、複数の構成情報メモリと、再構成可能な演算装置とにより構成される。

この演算システムにおいては、CPUを用いて、複数の構成情報メモリの選択を制御している。

この場合、アドレス生成装置がアドレスを生成している期間中にC P Uを用いてメモリの選択を行わせるために、C P Uとアドレス生成装置間に同期機構が設けられる。

【0003】

【発明が解決しようとする課題】

このように、従来の演算システムでは、アドレス生成装置がアドレスを生成している期間中にC P Uを用いてメモリの選択を行わせるために、C P Uとアドレス生成装置間に同期機構が設ける必要があることから、制御が複雑になり、余計なハードウェアが必要になる、あるいはハードウェアの構造によっては、同期 자체が不可能であるという欠点を有していた。

【0004】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、同期機構が不要で、制御の簡単化、装置の簡単化を図れる演算システムを提供することにある。

【0005】

【課題を解決するための手段】

上記目的を達成するため、本発明の演算システムは、それぞれ異なる構成情報を記憶する複数の構成情報メモリと、指定されるアドレスに応じて、少なくとも演算情報を読み出し、書き込み可能なデータメモリと、制御信号に応じて、上記複数の構成情報メモリの構成情報を選択する選択装置と、起動信号を受けると、指定されたパターンで上記データメモリのアドレスを生成し、上記データメモリからの読み出し、データメモリへの書き込みを行い、かつ、生成したアドレスに応じた選択情報を含む制御信号を生成し、上記選択装置に出力するアドレス生成装置と、上記選択装置で選択された構成情報に基づいて再構成し、上記データメモリの読み出しデータに対し所定の演算を行い、この演算結果を書き込みとしてデータメモリに出力する演算装置とを有する。

【0006】

また、本発明では、上記アドレス生成装置は、生成するアドレス数分、上記データメモリのデータを読み出し、演算結果を上記データメモリに書き戻すという

一連の操作を、生成されるアドレス数分行う。

【0007】

また、本発明では、上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能な制御回路を有する。

【0008】

また、本発明は、それぞれ異なる構成情報を記憶する複数の構成情報メモリと、指定されるアドレスに応じて、少なくとも演算情報を読み出し、書き込み可能なデータメモリと、制御信号に応じて、上記複数の構成情報メモリの構成情報を選択する選択装置と、起動信号を受けると、指定されたパターンで上記データメモリのアドレスを生成し、上記データメモリからの読み出し、データメモリへの書き込みを行い、かつ、生成したアドレスに応じた選択情報を含む制御信号を生成し、上記選択装置に出力するアドレス生成装置と、上記選択装置で選択された構成情報に基づいて再構成し、上記データメモリの読み出しデータに対し所定の演算を行い、この演算結果を書き込みとしてデータメモリに出力する演算装置と、上記アドレス生成装置に所定のタイミングで起動信号を出力し、生成すべきアドレスパターンを指定する制御回路とを有する。

【0009】

また、本発明では、上記制御回路は、上記複数の構成情報メモリおよびデータメモリにアクセス可能で、上記複数の構成情報メモリに構成情報を書き込み、第2の制御信号を上記選択装置に出力して、上記複数の構成情報メモリの構成情報を利用するかを決定し、上記データメモリのデータを書き込んだ後、上記起動信号を上記アドレス生成装置に出力する。

【0010】

また、本発明では、上記アドレス生成装置は、生成するアドレス数分、上記データメモリのデータを読み出し、演算結果を上記データメモリに書き戻すという一連の操作を、生成されるアドレス数分行い、動作完了を上記制御回路に報知する。

【0011】

また、本発明では、上記制御回路は、上記アドレス生成装置が、アドレス生成を行っている途中で、第2の制御信号を上記選択装置に出力して、選択する構成情報を動的に変更可能である。

【0012】

本発明によれば、たとえばまず、制御回路により、複数の構成情報メモリにそれぞれ異なる構成情報が書き込まれる。

また、制御回路により、データメモリに複数のデータがあらかじめ書き込まれる。

そして、制御回路によりアドレス生成装置に対して起動信号が出力されて、アドレス生成パターンが指定されて、アドレス生成装置の起動が行われる。

これにより、制御回路から制御がアドレス生成装置に移行され、アドレス生成装置において、アドレスの自動生成が開始され、データメモリに供給される。

また、アドレス生成装置からは、生成アドレスに応じて制御信号が選択装置に出力される。

選択装置では、アドレス生成装置による制御信号に応じて、複数の構成情報メモリの構成情報にうちのいずれかが選択されて、演算装置に供給される。

【0013】

演算装置においては、選択装置により選択された構成情報に基づいて、演算器の配列や、演算実行時の係数パラメータ等が再構成される。

そして、再構成された演算装置において、データメモリの読み出しデータに対し所定の演算が行われる。

演算装置における演算結果は、書き込みデータとしてデータメモリに書き込まれる。

上記の制御を行うことで、データメモリのデータを読み出し、経路選択情報メモリに書き込まれた経路で指定された演算を実行し、データメモリに書き戻すという一連の操作が、生成されるアドレス数分自動的に行われる。

そして、その数分のアドレス生成が行われると、アドレス生成装置によるアドレスの自動生成が終了される。

そして、たとえばアドレス生成装置から制御回路に対して、演算の終了が伝え

られる。

【0014】

【発明の実施の形態】

以下、本発明の実施形態を図面に関連付けて説明する。

【0015】

第1実施形態

図1は、本発明に係る演算装置の第1の実施形態を示す構成図である。

図1の演算装置10は、構成情報に基づいて再構成可能なALUとMAC構造の演算器を内蔵し、係数バスn (=m+1)本、データバスn (=k+1)本、カスケード入力n-1本と出力データを持つ。

以下、演算装置10の具体的な構成および機能について、順を追って説明する

【0016】

本演算装置10は、図1に示すように、第1の選択装置(SEL A)11、第2の選択装置(SEL B)12、第3の選択装置(SEL C)13、ALU14、MAC構造の演算器(以下、単にMACという)15、第4の選択装置(SEL E)16、レジスタ(REG)17、係数入力遅延用のk(たとえばk=n-1)個のFIFO(First-In First-Out、C0FIFO~CkFIFO)18-0~18-k、およびデータ入力遅延用のm(たとえばm=n-1=k)個のFIFO(D0FIFO~DmFIFO)19-1~19-mを主構成要素として有している。

【0017】

そして、演算装置10は、係数入力C0I, C1I, …, CkI、データ入力D0I, D1I, …, DmI、カスケード入力P0, P1, …, Pn-2、係数出力C0O, C1O, …, CkO、データ出力D0O, D1O, …, DmO、およびおよび演算出力Cを有し、再構成等のための演算制御信号ASEL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、遅延制御信号C0DL, C1DL, …, CkDL, D0DL, D1DL, …, DmDLが供給される。

【0018】

第1の選択装置11は、制御信号A S E Lに応じて係数入力C 0·I, C 1·I, …, C k·Iとデータ0を選択し、信号a s e l _ o u t として、ALU14、およびMAC15に出力する。

【0019】

第2の選択装置12は、制御信号B S E Lに応じてデータ入力D 0·I, D 1·I, …, D m·Iを選択し、信号b s e l _ o u t として、ALU14、およびMAC15に出力する。

【0020】

第3の選択装置13は、制御信号C S E Lに応じてカスケード入力P 0, P 1, …, P n-2とデータ0を選択し、信号c s e l _ o u t として、第1の選択装置11、ALU14、およびMAC15に出力する。

【0021】

ALU14は、a l u _ a c c をアキュムレートレジスタとし、第1の選択装置11の出力信号a s e l _ o u t 、第2の選択装置12の出力信号b s e l _ o u t 、および第3の選択装置13の出力信号c s e l _ o u t を入力として、制御信号ALUMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた論理演算を行い、その結果を信号a l u _ o u t として第4の選択装置16に出力する。

【0022】

具体的には、ALU14は、制御信号RNDMDの値により丸めモードを「0方向、0から遠い方向、正の無限大方向、負の無限大方向、もっとも近い整数」から選択可能で、制御信号SATMDの値により飽和ビット幅を指定可能であり、制御信号OSFMDの値によりシフト量を指定可能となる。

また、ALU14は、制御信号ACCMDの値によりアキュムレートレジスタa l u _ a c c への値のロード、ゼロ初期化を選択可能になっている。

ALU14での演算は制御信号ALUMDの値により、以下のいずれかの演算を行う。

【0023】

【数1】

```

a l u_out = a s e l_out + b s e l_out
a l u_out = a s e l_out - b s e l_out
a l u_out = a l u_acc + b s e l_out
a l u_out = a l u_acc - b s e l_out
a l u_out = ~ b s e l_out
a l u_out = - b s e l_out
a l u_out = | b s e l_out |
a l u_out = | a s e l_out - b s e l_out |
a l u_out = a s e l_out & b s e l_out
a l u_out = a s e l_out | b s e l_out
a l u_out = a s e l_out ^ b s e l_out
a l u_out = MAX ( a s e l_out , b s e l_out )
a l u_out = MIN ( a s e l_out , b s e l_out )
a l u_out = Leading ZERO ( b s e l_out )
a l u_out = Leading ONE ( b s e l_out )
a l u_out = ALS ( b s e l_out )
a l u_out = ARS ( b s e l_out )
a l u_out = LLS ( b s e l_out )
a l u_out = LRS ( b s e l_out )
a l u_out = a s e l_out + b s e l_out + c s e l_out
a l u_out = a s e l_out - b s e l_out + c s e l_out
a l u_out = a s e l_out + b s e l_out - c s e l_out
a l u_out = a s e l_out - b s e l_out - c s e l_out

```

【0024】

ここで、～はビット反転、－は符号反転、| |は絶対値、&はAND（論理積）、|はOR（論理和）、^はEXOR（排他的論理和）を意味する。また、MAXは最大値を返す関数、MINは最小値を返す関数、Leading ZEROは2進数表記をした場合のMSBから連続する0の個数を返す関数、Leading ONEは2進数表記をした場合のMSBから連続する1の個数を返す関数、ALSは算

術左シフト、ARSは算術右シフト、LLSは論理左シフト、LRSは論理右シフトを意味している。

【0025】

MAC15は、mac_accをアキュムレートレジスタとし、第1の選択装置11の出力信号a sel_out、第2の選択装置12の出力信号b sel_out、および第3の選択装置13の出力信号c sel_outを入力として、制御信号MACMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた演算を行い、その結果を信号mac_outとして出力する。

【0026】

具体的には、MAC15は、制御信号RNDMDの値により丸めモードを「0方向、0から遠い方向、正の無限大方向、負の無限大方向、もっとも近い整数」のうちから選択可能であり、制御信号SATMDの値により飽和ビット幅を指定可能、かつ制御信号OSFMDの値によりシフト量を指定可能になっている。また、MAC15は、制御信号ACCMDの値によりアキュムレートレジスタmac_accへの値のロード、ゼロ初期化が選択も可能である。

MAC15での演算は、制御信号MACMDの値により、以下のいずれかの演算を行う。

【0027】

【数2】

```

mac_out = a sel_out * b sel_out
mac_out = - (a sel_out * b sel_out )
mac_out = a sel_out * b sel_out + c sel_out
mac_out = - (a sel_out * b sel_out ) + c sel_out
mac_out = a sel_out * b sel_out - c sel_out
mac_out = - (a sel_out * b sel_out ) - c sel_out
mac_out = a sel_out * b sel_out + mac_acc
mac_out = - (a sel_out * b sel_out ) + mac_acc
mac_out = a sel_out * b sel_out - mac_acc
mac_out = - (a sel_out * b sel_out ) - mac_acc

```

【0028】

第4の選択装置16は、制御信号ESELに応じて、ALU14の出力信号a1u_outとMAC15の出力信号mac_outのいずれかを選択し、信号esel_outとしてレジスタ17に出力する。

【0029】

レジスタ17は、第4の選択装置16の出力信号esel_outを格納し、また格納データを第2の選択装置12に出力するとともに、演算出力Cとして出力する。

【0030】

C0 FIFO18-0は、制御信号C0DLの値により任意のサイクル遅延が可能であり、係数入力C0Iを制御信号C0DLの値に応じたサイクルを持って遅延させて、係数出力C0Oを得、たとえば次段の装置に出力する。

【0031】

C1 FIFO18-1は、制御信号C1DLの値により任意のサイクル遅延が可能であり、係数入力C1Iを制御信号C1DLの値に応じたサイクルを持って遅延させて、係数出力C1Oを得、たとえば次段の装置に出力する。

【0032】

同様に、Ck FIFO18-kは、制御信号CkDLの値により任意のサイクル遅延が可能であり、係数入力CkIを制御信号CkDLの値に応じたサイクルを持って遅延させて、係数出力CkOを得、たとえば次段の装置に出力する。

【0033】

D0 FIFO19-0は、制御信号D0DLの値により任意のサイクル遅延が可能であり、データ入力D0Iを制御信号D0DLの値に応じたサイクルを持って遅延させて、データ出力D0Oを得、たとえば次段の装置に出力する。

【0034】

D1 FIFO19-1は、制御信号D1DLの値により任意のサイクル遅延が可能であり、データ入力D1Iを制御信号D1DLの値に応じたサイクルを持って遅延させて、データ出力D1Oを得、たとえば次段の装置に出力する。

【0035】

同様に、 $DmFIFO19-m$ は、制御信号 $DmDL$ の値により任意のサイクル遅延が可能であり、データ入力 DmI を制御信号 $DmDL$ の値に応じたサイクルを持って遅延させて、データ出力 DmO を得、たとえば次段の装置に出力する。

【0036】

なお、本実施形態では、所定のサイクルをもって遅延させない場合も遅延0として、遅延の定義に含めるものとする。

【0037】

次に、上記構成による動作を、図2に示すように、 $n=4$ で、係数入出力、データ入出力が4、カスケード入力が3である演算装置10Aの動作について説明する。

【0038】

なおここでは、係数入力 $C0I, C1I, C2I, C3I$ はそれぞれ a, b, c, d 、データ入力 $D0I, D1I, D2I, D3I$ はそれぞれ x, y, z, w であるものとする。また、カスケード入力 $P0, P1, P2$ はそれぞれ $a * x, a * x + b * y, a * x + b * y + c * z$ であるものとする。

【0039】

まず、 $C = a * x$ を求める場合を説明する。

【0040】

この場合、制御信号 $ASEL$ が係数入力 $C0I$ (a)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号 $BSEL$ がデータ入力 $D0I$ (x)を選択するように設定されて第2の選択装置12に供給される。

これにより、第1の選択装置11から係数 a が信号 $asel_out$ として、ALU14およびMAC15に出力される。また、第2の選択装置12からデータ x が信号 $bsel_out$ として、ALU14およびMAC15に出力される。

【0041】

このとき、乗算を指定する制御信号 $MACMD$ が、 $MAC15$ に供給される。これにより、 $MAC15$ において、係数 a とデータ x との乗算が行われ、その結

果 $a * x$ が信号 mac_out として第4の選択装置16に出力される。

そして、制御信号 ESEL が MAC15 の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16において MAC15 の出力信号 mac_out ($a * x$) が選択され、信号 $esel_out$ ($a * x$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x$ が格納され、この格納データが演算出力 C として出力される。

【0042】

次に、 $C = a * x + b * y$ を求める場合を説明する。

【0043】

この場合、制御信号 ASEL が係数入力 C1I (b) を選択するように設定されて第1の選択装置11に供給される。

また、制御信号 BSEL がデータ入力 D1I (y) を選択するように設定されて第2の選択装置12に供給される。

また、制御信号 CSEL がカスケード入力 P0 ($a * x$) を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数 b が信号 $asel_out$ として、ALU14 および MAC15 に出力される。また、第2の選択装置12からデータ y が信号 $bsel_out$ として、ALU14 および MAC15 に出力される。また、第3の選択装置13から、カスケード入力データ $a * x$ が信号 $cse1_out$ として第1の選択装置11、ALU14 および MAC15 に出力される。

【0044】

このとき、乗加算を指定する制御信号 MACMD が、MAC15 に供給される。これにより、MAC15において、係数 b とデータ y との乗算が行われ、さらに、その結果 $b * y$ と $a * x$ との加算が行われる。これにより、MAC15 から乗加算結果 $a * x + b * y$ が信号 mac_out として第4の選択装置16に出力される。

そして、制御信号 ESEL が MAC15 の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16において MAC15

の出力信号 $mac_out (a * x + b * y)$ が選択され、信号 $ese1_out (a * x + b * y)$ としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y$ が格納され、この格納データが演算出力Cとして出力される。

【0045】

次に、 $C = a * x + b * y + c * z$ を求める場合を説明する。

【0046】

この場合、制御信号SELが係数入力C2I(c)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号SELがデータ入力D2I(z)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号SELがカスケード入力P1($a * x + b * y$)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数cが信号 $ase1_out$ として、ALU14およびMAC15に出力される。また、第2の選択装置12からデータzが信号 $bse1_out$ として、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x + b * y$ が信号 $cse1_out$ として第1の選択装置11、ALU14およびMAC15に出力される。

【0047】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数cとデータzとの乗算が行われ、さらに、その結果 $c * z$ と $(a * x + b * y)$ との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y + c * z$ が信号 mac_out として第4の選択装置16に出力される。

そして、制御信号SELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号 $mac_out (a * x + b * y + c * z)$ が選択され、信号 $ese1_out (a * x + b * y + c * z)$ としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y + c * z$ が格納され、この格納データが演算出力Cとして出力される。

【0048】

次に、 $C = a * x + b * y + c * z + d * w$ を求める場合を説明する。

【0049】

この場合、制御信号SELが係数入力C3I(d)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号SELがデータ入力D3I(w)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号SELがカスケード入力P2($a * x + b * y + c * z$)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数dが信号sel_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータwが信号sel_outとして、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x + b * y + c * z$ が信号sel_outとして第1の選択装置11、ALU14およびMAC15に出力される。

【0050】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数dとデータwとの乗算が行われ、さらに、その結果 $d * w$ と $(a * x + b * y + c * z)$ との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y + c * z + d * w$ が信号mac_outとして第4の選択装置16に出力される。

そして、制御信号SELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out($a * x + b * y + c * z + d * w$)が選択され、信号sel_out($a * x + b * y + c * z + d * w$)としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y + c * z + d * w$ が

格納され、この格納データが演算出力Cとして出力される。

【0051】

以上説明したように、本第1の実施形態によれば、制御信号A S E Lに応じて係数入力C₀I, C₁I, …, C_kIとデータ0を選択する第1の選択装置11と、制御信号B S E Lに応じてデータ入力D₀I, D₁I, …, D_mIを選択する第2の選択装置12と、制御信号C S E Lに応じてカスケード入力P₀, P₁, …, P_{n-2}とデータ0を選択する第3の選択装置13と、第1の選択装置11の出力信号a s e l _out、第2の選択装置12の出力信号b s e l _out、および第3の選択装置13の出力信号c s e l _outを入力として、制御信号A L U M D, R N D M D, S A T M D, O S F M D, A C C M Dの指示に応じた論理演算を行うA L U 1 4と、第1の選択装置11の出力信号a s e l _out、第2の選択装置12の出力信号b s e l _out、および第3の選択装置13の出力信号c s e l _outを入力として、制御信号M A C M D, R N D M D, S A T M D, O S F M D, A C C M Dの指示に応じた演算を行うM A C 1 5と、制御信号E S E Lに応じて、A L U 1 4の出力信号a l u _outとM A C 1 5の出力信号m a c _outのいずれかを選択する第4の選択装置16とを設けたので、演算装置自体を外部から再構成可能である。

【0052】

したがって、本第1の実施形態によれば、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の悪化を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0053】

第2実施形態

図3は、本発明に係る並列演算装置の第2の実施形態を示す構成図である。

【0054】

本第2の実施形態では、図1の演算装置を複数個（n個）カスケード接続して

、他の演算装置の演算結果をカスケード入力することで、多くの並列化可能な処理を効率良く実行するように構成している。

【0055】

各演算装置 $10-0 \sim 10-n-1$ ($PE_0 \sim PE_{n-1}$) は、係数入力端子 $PE_{C0I} \sim PE_{CkI}$ 、データ入力端子 $PE_{D0I} \sim PE_{DmI}$ 、カスケード入力端子 $PE_{P0} \sim PE_{Pn-2}$ 、係数出力端子 $PE_{C0O} \sim PE_{CkO}$ 、データ出力端子 $PE_{D0O} \sim PE_{DmO}$ 、および演算出力端子 PE_C を有している。

【0056】

演算装置 $10-0$ においては、係数入力端子 $PE_{C0I} \sim PE_{CkI}$ に係数 $C0I \sim CkI$ が供給され、データ入力端子 $PE_{D0I} \sim PE_{DmI}$ にデータ入力 $D0I \sim DmI$ が供給され、カスケード入力 $PE_{P0} \sim PE_{Pn-2}$ に他の演算装置 $10-1 \sim 10-n-1$ の演算出力端子 PE_C から出力される演算結果信号 $OT_1 \sim OT_{n-1}$ が供給される。たとえばカスケード入力 PE_{P0} には、最終段の演算装置 $10-n-1$ の演算結果信号 OT_{n-1} が供給され、カスケード入力端子 PE_{Pn-2} に次段の演算装置 $10-1$ の演算結果信号 OT_1 が供給される。

また、演算装置 $10-0$ において、係数出力端子 $PE_{C0O} \sim PE_{CkO}$ から $C0 FIFO_{18-0} \sim Ck FIFO_{18-k}$ で所望の遅延量だけ遅延された係数が係数出力 $c00 \sim ck0$ として次段の演算装置 $10-1$ に出力され、データ出力端子 $PE_{D0O} \sim PE_{DmO}$ から $D0 FIFO_{19-0} \sim Dm FIFO_{19-m}$ で所望の遅延量だけ遅延されたデータがデータ出力 $d00 \sim dk0$ として次段の演算装置 $10-1$ に出力される。

また、演算装置 $10-0$ においては、演算出力端子 PE_C から演算結果信号 OT_0 が他の演算装置 $10-1 \sim 10-n-1$ に出力される。

なお、図3においては、演算装置 $10-0$ に供給されるべき演算制御信号 ASL , $BSEL$, $ESEL$, $MACMD$, $ALUMD$, $RNDMD$, $SATMD$, $OSFMD$, $ACCMD$ 、および遅延制御信号 $C0DL$, $C1DL$, $\cdots CkDL$, $D0DL$, $D1DL$, $\cdots DmDL$ は、簡単化のため制御信号 $CTL0$ として

示している。

【0057】

演算装置10-1においては、係数入力端子PE_C0I～PE_CkIに演算装置10-0の係数出力c00～ck0が供給され、データ入力端子PE_D0I～PE_DmIに演算装置10-0のデータ出力d00～dm0が供給され、カスケード入力PE_P0～PE_Pn-2に他の演算装置10-0、10-2（図示せず）～10-n-1の演算出力端子PE_Cから出力される演算結果信号OT0, OT2～OTn-1が供給される。たとえばカスケード入力PE_P0には、前段の演算装置10-0の演算結果信号OT0が供給され、カスケード入力端子PE_Pn-2に演算装置10-n-2の演算結果信号OTn-2が供給される。

また、演算装置10-1において、係数出力端子PE_C0O～PE_CkOからCO FIFO18-0～Ck FIFO18-kで所望の遅延量だけ遅延された係数が係数出力c01～ck1として次段の演算装置10-2に出力され、データ出力端子PE_D0O～PE_DmOからDO FIFO19-0～Dm FIFO19-mで所望の遅延量だけ遅延されたデータがデータ出力d01～dk1として次段の演算装置10-2に出力される。

また、演算装置10-1においては、演算出力端子PE_Cから演算結果信号OT1が他の演算装置10-0, 10-2～10-n-1に出力される。

なお、図3においては、演算装置10-1に供給されるべき演算制御信号AS EL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号C0DL, C1DL, …CkDL, D0DL, D1DL, …DmDLは、簡単化のため制御信号CTL1として示している。

【0058】

同様に、演算装置10-i（ $2 \leq i \leq n-2$ ）においては、係数入力端子PE_C0I～PE_CkIに演算装置10-i-1の係数出力c0i-1～cki-1が供給され、データ入力端子PE_D0I～PE_DmIに演算装置10-i-1のデータ出力d0i-1～dm*i-1*が供給され、カスケード入力PE_P0～PE_

P_{n-2} に他の演算装置 $10-0 \sim 10-i-1$, $10-i+1 \sim 10-n-1$ の演算出力端子 PE_C から出力される演算結果信号 $OT_0 \sim OT_{i-1}$, $OT_{i+1} \sim OT_{n-1}$ が供給される。

また、演算装置 $10-i$ において、係数出力端子 $PE_C00 \sim PE_Ck0$ から $C0 FIFO_{18-0} \sim Ck FIFO_{18-k}$ で所望の遅延量だけ遅延された係数が係数出力 $c0i \sim ck_i$ として次段の演算装置 $10-i+1$ に出力され、データ出力端子 $PE_D00 \sim PE_Dm0$ から $D0 FIFO_{19-0} \sim Dm FIFO_{19-m}$ で所望の遅延量だけ遅延されたデータがデータ出力 $d0i \sim dk_i$ として次段の演算装置 $10-i+1$ に出力される。

また、演算装置 $10-i$ においては、演算出力端子 PE_C から演算結果信号 OT_i が他の演算装置 $10-0 \sim 10-i-1$, $10-i+1 \sim 10-n-1$ に出力される。

なお、図示しないが、演算装置 $10-i$ には、演算制御信号 $ASEL$, $BSEL$, $ESEL$, $MACMD$, $ALUMD$, $RNDMD$, $SATMD$, $OSFMD$, $ACCMD$ 、および遅延制御信号 $C0DL$, $C1DL$, \dots $CkDL$, $D0DL$, $D1DL$, \dots $DmDL$ が、たとえば制御信号 CTL_i として供給される。

【0059】

そして、演算装置 $10-n-1$ においては、係数入力端子 $PE_C0I \sim PE_CkI$ に演算装置 $10-n-2$ の係数出力 $c0n-2 \sim ck_{n-2}$ が供給され、データ入力端子 $PE_D0I \sim PE_DmI$ に演算装置 $10-n-2$ のデータ出力 $d0n-2 \sim dm_{n-2}$ が供給され、カスケード入力 $PE_P0 \sim PE_Pn-2$ に他の演算装置 $10-0 \sim 10-n-2$ の演算出力端子 PE_C から出力される演算結果信号 $OT_0 \sim OT_{n-2}$ が供給される。たとえばカスケード入力 PE_P0 には、前段の演算装置 $10-n-2$ の演算結果信号 OT_{n-2} が供給され、カスケード入力端子 PE_Pn-2 に演算装置 $10-0$ の演算結果信号 OT_0 が供給される。

また、演算装置 $10-n-1$ において、係数出力端子 $PE_C00 \sim PE_Ck0$ からの係数出力、およびデータ出力端子 $PE_D00 \sim PE_Dm0$ からのデータ出力の他の演算装置への出力は行われない。

また、演算装置 $10-n-1$ においては、演算出力端子 PE_C から演算結果信

号OTn-1が他の演算装置10-0~10-n-2に出力される。

なお、図3においては、演算装置10-n-1に供給されるべき演算制御信号A SEL, B SEL, E SEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号C0DL, C1DL, …Ck DL, D0DL, D1DL, …DmDLは、簡単化のため制御信号CTLn-1として示している。

【0060】

次に、本第2の実施形態の動作を、図4に示すように、カスケード接続する演算装置数を4(n=4)の場合を例に説明する。

この場合における各演算装置10A-0~10A-3は、図2に示す構成を有する。したがって、動作説明は、図2および図4に関連付けて行う。

なおここでは、以下の演算を行う場合を例に説明する。

【0061】

【数3】

$$out = a * x + b * y + c * z + d * w$$

【0062】

そして、演算装置10A-0への係数入力C0I, C1I, C2I, C3Iはそれぞれa, b, c, d、データ入力D0I, D1I, D2I, D3Iはそれぞれx, y, z, wであるものとする。

【0063】

まず、演算装置10A-0においては、制御信号CTL0により、演算結果信号OT0 = a * xとなる演算が行われるように制御が行われる。

【0064】

この場合、演算装置10A-0において、制御信号A SELが係数入力C0I (a) を選択するように設定されて第1の選択装置11に供給される。

また、制御信号B SELがデータ入力D0I (x) を選択するように設定されて第2の選択装置12に供給される。

これにより、第1の選択装置11から係数aが信号a sel_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータ

x が信号 $base_out$ として、ALU14およびMAC15に出力される。

【0065】

このとき、乗算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数 a とデータ x との乗算が行われ、その結果 $a * x$ が信号 mac_out として第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号 mac_out ($a * x$) が選択され、信号 $esel_out$ ($a * x$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x$ が格納され、この格納データが演算出力端子 PE_C から演算結果信号OT0として、演算装置10A-1のカスケード入力 PE_P0 、演算装置10A-2のカスケード入力 PE_P1 、および演算装置10A-3のカスケード入力 PE_P2 に出力される。

【0066】

演算装置10A-0においては、C0FIFO18-0～C3FIFO18-3で所望の遅延量だけ遅延された係数 a , b , c , d が係数出力端子 PE_C0 ～ PE_C3 から係数出力 $c00$ ～ $c30$ として次段の演算装置10A-1の係数入力端子 PE_C0I ～ PE_C3I に出力され、D0FIFO19-0～D3FIFO19-3で所望の遅延量だけ遅延されたデータ x , y , z , w がデータ出力端子 PE_D0O ～ PE_D3O からデータ出力 $d00$ ～ $d30$ として次段の演算装置10A-1のデータ入力端子 PE_D0I ～ PE_D3I に出力される。

【0067】

次に、演算装置10A-1においては、制御信号CTL1により、演算結果信号 $OT1 = OT0 + b * y = a * x + b * y$ となる演算が行われるように制御が行われる。

【0068】

この場合、制御信号ASELが係数入力端子 PE_C1I に供給される演算装置10A-0の係数出力 $c10$ (b) を選択するように設定されて第1の選択装

置11に供給される。

また、制御信号BSELがデータ入力端子PE_D1Iに供給される演算装置10A-0のデータ出力d10(y)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力端子PE_P0に供給される演算装置10A-0の演算結果信号OT0(a*x)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数bが信号a sel_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータyが信号b sel_outとして、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データa*xが信号c sel_outとして第1の選択装置11、ALU14およびMAC15に出力される。

【0069】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数bとデータyとの乗算が行われ、さらに、その結果b*yとa*xとの加算が行われる。これにより、MAC15から乗加算結果a*x+b*yが信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out(a*x+b*y)が選択され、信号esel_out(a*x+b*y)としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果a*x+b*yが格納され、この格納データが演算出力端子PE_Cから演算結果信号OT1として、演算装置10A-0のカスケード入力PE_P2、演算装置10A-2のカスケード入力PE_P0、および演算装置10A-3のカスケード入力PE_P1に出力される。

【0070】

演算装置10A-1においては、C0 FIFO18-0～C3 FIFO18-3で所望の遅延量だけ遅延された係数a, b, c, dが係数出力端子PE_CO

○～P E _ C 3 O から係数出力 c 0 1 ～ c 3 1 として次段の演算装置 1 0 A - 2 の係数入力端子 P E _ C 0 I ～ P E _ C 3 I に出力され、 D O F I F O 1 9 - 0 ～ D m F I F O 1 9 - 3 で所望の遅延量だけ遅延されたデータ x, y, z, w がデータ出力端子 P E _ D 0 O ～ P E _ D 3 O からデータ出力 d 0 1 ～ d 3 1 として次段の演算装置 1 0 A - 3 のデータ入力端子 P E _ D 0 I ～ P E _ D 3 I に出力される。

【0071】

次に、演算装置 1 0 A - 2 においては、制御信号 C T L 2 により、演算結果信号 $O T 2 = O T 1 + c * z = a * x + b * y + c * z$ となる演算が行われるように制御が行われる。

【0072】

この場合、制御信号 A S E L が係数入力端子 P E _ C 2 I に供給される演算装置 1 0 A - 1 の係数出力 c 2 1 (c) を選択するように設定されて第 1 の選択装置 1 1 に供給される。

また、制御信号 B S E L がデータ入力端子 P E _ D 2 I に供給される演算装置 1 0 A - 1 のデータ出力 d 2 1 (z) を選択するように設定されて第 2 の選択装置 1 2 に供給される。

また、制御信号 C S E L がカスケード入力端子 P E _ P 0 に供給される演算装置 1 0 A - 1 の演算結果信号 $O T 1 (a * x + b * y)$ を選択するように設定されて第 3 の選択装置 1 3 に供給される。

これにより、第 1 の選択装置 1 1 から係数 c が信号 a s e l _ o u t として、 A L U 1 4 および M A C 1 5 に出力される。また、第 2 の選択装置 1 2 からデータ z が信号 b s e l _ o u t として、 A L U 1 4 および M A C 1 5 に出力される。また、第 3 の選択装置 1 3 から、カスケード入力データ $a * x + b * y$ が信号 c s e l _ o u t として第 1 の選択装置 1 1 、 A L U 1 4 および M A C 1 5 に出力される。

【0073】

このとき、乗加算を指定する制御信号 M A C M D が、 M A C 1 5 に供給される。これにより、 M A C 1 5 において、係数 c とデータ z との乗算が行われ、さら

に、その結果 $c * z$ と $(a * x + b * y)$ との加算が行われる。これにより、MAC15 から乗加算結果 $a * x + b * y + c * z$ が信号 mac_out として第4の選択装置16に出力される。

そして、制御信号 SEL が MAC15 の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16において MAC15 の出力信号 mac_out ($a * x + b * y + c * z$) が選択され、信号 $ese1_out$ ($a * x + b * y + c * z$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y + c * z$ が格納され、この格納データが演算出力端子 PE_C から演算結果信号 $OT2$ として、演算装置10A-0のカスケード入力 PE_P1 、演算装置10A-2のカスケード入力 PE_P2 、および演算装置10A-3のカスケード入力 PE_P0 に出力される。

【0074】

演算装置10A-2においては、C0 FIFO18-0～C3 FIFO18-3で所望の遅延量だけ遅延された係数 a , b , c , d が係数出力端子 PE_C0 ～ PE_C3 から係数出力 $c02$ ～ $c32$ として次段の演算装置10A-3の係数入力端子 PE_C0I ～ PE_C3I に出力され、D0 FIFO19-0～Dm FIFO19-3で所望の遅延量だけ遅延されたデータ x , y , z , w がデータ出力端子 PE_D0O ～ PE_D3O からデータ出力 $d02$ ～ $d32$ として次段の演算装置10A-3のデータ入力端子 PE_D0I ～ PE_D3I に出力される。

【0075】

次に、演算装置10A-3においては、制御信号 $CTL3$ により、演算結果信号 $OT3 = OT2 + d * w = a * x + b * y + c * z + d * w$ となる演算が行われるように制御が行われる。

【0076】

この場合、制御信号 SEL が係数入力端子 PE_C3I に供給される演算装置10A-2の係数出力 $c32$ (d) を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力端子PE_D3Iに供給される演算装置10A-2のデータ出力d32(w)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力端子PE_P0に供給される演算装置10A-2の演算結果信号OT2(a*x+b*y+c*z)を選択するよう設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数dが信号a sel_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータwが信号b sel_outとして、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データa*x+b*y+c*zが信号c sel_outとして第1の選択装置11、ALU14およびMAC15に出力される。

【0077】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数dとデータwとの乗算が行われ、さらに、その結果d*wと(a*x+b*y+c*z)との加算が行われる。これにより、MAC15から乗加算結果a*x+b*y+c*z+d*wが信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out(a*x+b*y+c*z+d*w)が選択され、信号esel_out(a*x+b*y+c*z+d*w)としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果a*x+b*y+c*z+d*wが格納され、この格納データが演算出力端子PE_Cから演算結果信号OT3として所望の演算結果outとして出力され、演算装置10A-0のカスケード入力PE_P0、演算装置10A-2のカスケード入力PE_P1、および演算装置10A-2のカスケード入力PE_P2に出力される。

【0078】

以上において、図2において図4に示す遅延制御信号C0DL, C1DL, C2DL, C3DLはすべて遅延0となるように、各C0FIFO18-0～C3FIFO18-3に供給される。

また、遅延制御信号D0DLは遅延0となるように、D0FIFO19-0に供給され、遅延制御信号D1DLは遅延1となるように、D1FIFO19-1に供給され、遅延制御信号D2DLは遅延2となるように、D2FIFO19-2に供給され、遅延制御信号D3DLは遅延3となるように、D3FIFO19-3に供給される。

【0079】

以上説明したように、本第2の実施形態によれば、制御信号ASELに応じて係数入力C0I, C1I, …, CkIとデータ0を選択する第1の選択装置11と、制御信号BSELに応じてデータ入力D0I, D1I, …, DmIを選択する第2の選択装置12と、制御信号CSELに応じてカスケード入力P0, P1, …, Pn-2とデータ0を選択する第3の選択装置13と、第1の選択装置11の出力信号a_{sel}_out、第2の選択装置12の出力信号b_{sel}_out、および第3の選択装置13の出力信号c_{sel}_outを入力として、制御信号ALUMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた論理演算を行うALU14と、第1の選択装置11の出力信号a_{sel}_out、第2の選択装置12の出力信号b_{sel}_out、および第3の選択装置13の出力信号c_{sel}_outを入力として、制御信号MACMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた演算を行うMAC15と、制御信号ESELに応じて、ALU14の出力信号a_{lu}_outとMAC15の出力信号m_{ac}_outのいずれかを選択する第4の選択装置16と、遅延制御信号C0DL～CkDLの値により任意のサイクル遅延可能であり、係数入力を遅延制御信号C0DL～CkDLの値に応じたサイクルを持って遅延させて、係数出力を得、次段の装置に出力するC0FIFO18-0～CkFIFO18-kと、制御信号D0DL～DmDLの値により任意のサイクル遅延可能であり、データ入力を遅延制御信号D0DL～DmDLの値に応じたサイクルを持って遅延させて、データ出力を得、次段の装置に出力するD0FIFO19-0～DmFIFO1

9-mとを有する複数の演算装置10-0~10-n-1を設け、演算装置10-0~10-n-1の係数およびデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号OT0~OTn-1を他の装置のカスケード入力PE_P0, PE_P1, …, PE_Pn-2として供給するように構成したので、演算装置自体を外部から再構成可能である。

【0080】

したがって、本第2の実施形態によれば、上述した第1の実施形態と同様に、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の悪化を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0081】

また、MACやALUが1あるいは2であるDSPではMEMW = a x + b y + c z + d wの演算を行う場合、一時レジスタにデータを書き戻して演算結果を得る必要があったのに対して、本第2の実施形態によれば、各演算装置にa x, b y, c z, d wの演算を割り当て、さらに前段の演算結果をカスケードすることで一度にMEMWの演算が可能になっている。

そのため、実行サイクル数が短くなる。また一時レジスタへのアクセスが少なくなるため電力の消費も抑えることができる利点がある。

【0082】

第3実施形態

図5は、本発明に係る演算装置の第3の実施形態を示す構成図である。

【0083】

図5の演算装置20は、構成情報に基づいて再構成可能な演算装置であって、4入力4出力の演算を行い、バタフライ演算とシフト演算を同時に実行可能に構成されている。

【0084】

本演算装置20は、単項演算手段としてのシフト演算器(SFT0)21-0

、およびシフト演算器（SFT1）21-1、入力選択装置（RSEL0）22-0、入力選択装置（RSEL1）22-1、2入力2出力のバタフライ演算器（BTF0）23、出力選択装置（DSEL0）24-0、出力選択装置（DSEL1）24-1、出力選択装置（WSEL0）25-0、および出力選択装置（WSEL1）25-1を有している。

【0085】

そして、演算装置20は、データ入力MEMR0, MEMR1, I0, I1、およびデータ出力MEMW0, MEMW1, D0, D1を有し、また、再構成等のための制御信号BTFMD0, R0SEL, R1SEL, W0SEL, W1SEL, D0SEL, D1SELが供給される。

【0086】

シフト演算器21-0は、データ入力MEMR0の値を制御信号SFT0MDに応じて単項演算、具体的には、制御信号SFT0MDが示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を入力選択装置22-0および出力選択装置24-0に出力する。なお、シフト演算器21-0は、たとえば制御信号SFT0MDが示すシフト量がゼロの場合には、シフト演算を行わず、データ入力MEMR0をそのまま出力する。

【0087】

シフト演算器21-1は、データ入力MEMR1の値を制御信号SFT1MDに応じて単項演算、具体的には、制御信号SFT1MDが示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を入力選択装置22-1および出力選択装置24-1に出力する。なお、シフト演算器21-1は、たとえば制御信号SFT1MDが示すシフト量がゼロの場合には、シフト演算を行わず、データ入力MEMR1をそのまま出力する。

【0088】

入力選択装置22-0は、制御信号R0SELに応じて、シフト演算器21-0の出力データおよびデータ入力I0のいずれかを選択し、信号r0sel_outとしてバタフライ演算器23に出力する。

【0089】

入力選択装置22-1は、制御信号R1SELに応じて、シフト演算器21-1の出力データおよびデータ入力I1のいずれかを選択し、信号r1sel_outとしてバタフライ演算器23に出力する。

【0090】

バタフライ演算器23は、入力端子DAに入力選択装置22-0の出力信号r0sel_outを入力し、入力端子DBの入力選択装置22-1の出力信号r1sel_outを入力し、制御端子CTLに供給される制御信号BT FMD0の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btf0a_outとして出力選択装置24-0および25-0に出力し、他方の演算結果を出力端子OBから信号btf0b_outとして出力選択装置24-1および25-1に出力する。

【0091】

具体的には、バタフライ演算器23は、制御信号BT FMD0の値により、以下のいずれかの演算を選択的に行う。

【0092】

【数4】

```

btf0a_out = r1sel_out, btf0b_out = r0sel_out
btf0a_out = r1sel_out, btf0b_out = -r0sel_out
btf0a_out = -r1sel_out, btf0b_out = r0sel_out
btf0a_out = -r1sel_out, btf0b_out = -r0sel_out
btf0a_out = r0sel_out, btf0b_out = r1sel_out
btf0a_out = r0sel_out, btf0b_out = -r1sel_out
btf0a_out = -r0sel_out, btf0b_out = r1sel_out
btf0a_out = -r0sel_out, btf0b_out = -r1sel_out
btf0a_out = r0sel_out + r1sel_out, btf0b_out
          = r0sel_out - r1sel_out
btf0a_out = r0sel_out + r1sel_out, btf0b_out
          = r1sel_out - r0sel_out
btf0a_out = r0sel_out - r1sel_out, btf0b_out

```

```

= r0sel_out + r1sel_out
btfoa_out = r1sel_out - r0sel_out, btf0b_out
= r0sel_out + r1sel_out

```

【0093】

出力選択装置24-0は、制御信号D0SELに応じて、シフト演算器21-0の出力信号（たとえばMEMR0）とバタフライ演算器23の出力信号btfoa_outのいずれかを選択し、信号D0として出力する。

【0094】

出力選択装置24-1は、制御信号D1SELに応じて、シフト演算器21-1の出力信号（たとえばMEMR1）とバタフライ演算器23の出力信号btfb_outのいずれかを選択し、信号D1として出力する。

【0095】

出力選択装置25-0は、制御信号W0SELに応じて、データ入力I0とバタフライ演算器23の出力信号btfa_outのいずれかを選択し、信号MEMW0として出力する。

【0096】

出力選択装置25-1は、制御信号W1SELに応じて、データ入力I1とバタフライ演算器23の出力信号btfb_outのいずれかを選択し、信号MEMW1として出力する。

【0097】

次に、上記構成による動作を説明する。

ここでは、

$$D0 = MEMR0,$$

$$D1 = MEMR0 - MEMR1,$$

$$MEMW0 = MEMR0 + MEMR1,$$

$$MEMW1 = I1$$

の演算を実行するものとする。

【0098】

たとえばシフト演算器21-0, 21-1のシフト量が、制御信号SFT0M

D, SFT1MDによりゼロに設定される。

したがって、シフト演算器21-0の出力はMEMR0となり、入力選択装置22-0および出力選択装置24-0に供給される。

同様に、シフト演算器21-1の出力はMEMR1となり、入力選択装置22-1および出力選択装置24-1に供給される。

【0099】

入力選択装置22-0では、制御信号ROSELにより、シフト演算器21-0の出力信号、すなわちMEMR0を選択するように制御され、選択されたデータMEMR0が信号r0sel_outとして、バタフライ演算器23の入力端子DAに供給される。

また、入力選択装置22-1では、制御信号R1SELにより、シフト演算器21-1の出力信号、すなわちMEMR1を選択するように制御され、選択されたデータMEMR1が信号r1sel_outとして、バタフライ演算器23の入力端子DBに供給される。

【0100】

バタフライ演算器23では、制御端子CTLに供給される制御信号BTFMD0により、OA=DA+DB, OB=DA-DBが計算されるモードに設定される。

これにより、バタフライ演算器23においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1とが加算され、その結果である(MEMR0+MEMR1)が出力端子OAから信号btfa_outとして、出力選択装置24-0および25-0に出力される。

また、バタフライ演算器23においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1との差がとられ、その結果である(MEMR0-MEMR1)が出力端子OBから信号btfb_outとして、出力選択装置24-1および25-1に出力される。

【0101】

出力選択装置24-0では、シフト演算器21-0の出力信号(MEMR0)とバタフライ演算器23の出力信号btfa_out(=MEMR0+MEMR

1) のうち、シフト演算器21-0の出力信号(MEMR0)を選択するように制御信号D0SELが供給され、これにより選択されたデータが信号D0=MEMR0として出力される。

【0102】

出力選択装置25-0では、データ入力I0とバタフライ演算器23の出力信号btfa_out (=MEMR0+MEMR1) のうち、バタフライ演算器23の出力信号btfa_outを選択するように制御信号W0SELが供給され、これにより選択されたデータが信号MEMW0=MEMR0+MEMR1として出力される。

【0103】

また、出力選択装置25-1では、データ入力I1とバタフライ演算器23の出力信号btfb_out (=MEMR0-MEMR1) のうち、データ入力I1を選択するように制御信号W1SELが供給され、これにより選択されたデータが信号MEMW1=I1として出力される。

【0104】

出力選択装置24-1では、シフト演算器21-1の出力信号(MEMR1)とバタフライ演算器23の出力信号btfb_out (=MEMR0-MEMR1) のうち、バタフライ演算器23の出力信号btfb_outを選択するように制御信号D1SELが供給され、これにより選択されたデータが信号D1=MEMR0-MEMR1として出力される。

【0105】

以上説明したように、本第3の実施形態によれば、データ入力MEMR0の値を制御信号SFT0MDが示す値に応じて左または右に任意ビットだけシフトする演算を行うシフト演算器21-0と、データ入力MEMR1の値を制御信号SFT1MDが示す値に応じて左または右に任意ビットだけシフトする演算を行うシフト演算器21-1と、制御信号ROSSELに応じて、シフト演算器21-0の出力データおよびデータ入力I0のいずれかを選択し、信号r0sel_outとして出力する入力選択装置22-0と、制御信号R1SELに応じて、シフト演算器21-1の出力データおよびデータ入力I1のいずれかを選択し、信号r

1 s e 1 _out として出力する入力選択装置 22-1 と、入力端子 D A に入力選択装置 22-0 の出力信号 r 0 s e 1 _out を入力し、入力端子 D B に入力選択装置 22-1 の出力信号 r 1 s e 1 _out を入力し、制御端子 C T L に供給される制御信号 B T F M D 0 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 b t f 0 a _out として出力選択装置 24-0 および 25-0 に出力し、他方の演算結果を出力端子 O B から信号 b t f 0 b _out として出力選択装置 24-1 および 25-1 に出力するバタフライ演算器 23 と、制御信号 D 0 S E L に応じて、シフト演算器 21-0 の出力信号とバタフライ演算器 23 の出力信号 b t f 0 a _out のいずれかを選択し、信号 D 0 として出力する出力選択装置 24-0 と、制御信号 D 1 S E L に応じて、シフト演算器 21-1 の出力信号とバタフライ演算器 23 の出力信号 b t f 0 b _out のいずれかを選択し、信号 D 1 として出力する出力選択装置 24-1 と、制御信号 W 0 S E L に応じて、データ入力 I 0 とバタフライ演算器 23 の出力信号 b t f 0 a _out のいずれかを選択し、信号 M E M W 0 として出力する出力選択装置 25-0 と、制御信号 W 1 S E L に応じて、データ入力 I 1 とバタフライ演算器 23 の出力信号 b t f 0 b _out のいずれかを選択し、信号 M E M W 1 として出力する出力選択装置 25-1 とを設けたので、以下の効果を得ることができる。

【0106】

バタフライ演算などの多入力、多出力演算を行う場合には、 $y_0 = x_0 + x_1$ ， $y_1 = x_0 - x_1$ などの演算を同時に行うことができる。

このため、入力データとして x_0 と x_1 を 1 回ずつ読み出せばよい。そのためメモリ／レジスタへのアクセス効率があがるという利点がある。

また専用ハードウェアと異なり、 $y_0 = x_0 + x_1$ と $y_1 = x_0 - x_1$ のほかにも、 $y_0 = x_0 + x_1 + x_2 + x_3$ などの計算を柔軟に行うことができる構成を容易に実現できる利点がある。

【0107】

また、演算装置自体を外部から再構成可能であることから、論理レベルの最適化ができますことはもとより、構成情報の増大を防止でき、集積回路としての面積効率の低下を防止できる演算装置を実現できる利点がある。

【0108】

第4実施形態

図6は、本発明に係る演算装置の第4の実施形態を示す構成図である。

【0109】

図6の演算装置20Aは、構成情報に基づいて再構成可能な演算装置であって、8入力8出力の演算を行い、バタフライ演算とシフト演算を同時に実行可能に構成されている。

【0110】

本演算装置20Aは、シフト演算器(SFT0)21A-0、シフト演算器(SFT1)21A-1、シフト演算器(SFT2)21A-2、シフト演算器(SFT3)21A-3、入力選択装置(RSEL0)22A-0、入力選択装置(RSEL1)22A-1、入力選択装置(RSEL2)22A-2、入力選択装置(RSEL3)22A-3、バタフライ演算器(BTF0)23A-0、バタフライ演算器(BTF1)23A-1、出力選択装置(DSEL0)24A-0、出力選択装置(DSEL1)24A-1、出力選択装置(DSEL2)24A-2、出力選択装置(DSEL3)24A-3、出力選択装置(WSEL0)25A-0、出力選択装置(WSEL1)25A-1、出力選択装置(WSEL2)25A-2、および出力選択装置(WSEL3)25A-3を有している。

【0111】

そして、演算装置20Aは、データ入力MEMR0, MEMR1, MEMR2, MEMR3, I0, I1, I2, I3、およびデータ出力MEMW0, MEMW1, MEMW2, MEMW3, D0, D1, D2, D3を有し、また、再構成のための制御信号BTFMD0, BTFMD1, R0SEL, R1SEL, R2SEL, R3SEL, W0SEL, W1SEL, W2SEL, W3SEL, D0SEL, D1SEL, D2SEL, D3SELが供給される。

【0112】

シフト演算器21A-0は、データ入力MEMR0の値を制御信号SFT0MDに応じて単項演算、具体的には、制御信号SFT0MDが示す値(シフト量)に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号

s f t 0_out として入力選択装置 22A-0 および出力選択装置 24A-0 に出力する。なお、シフト演算器 21A-0 は、たとえば制御信号 SFT0MD が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 MEMR0 をそのまま出力する。

【0113】

シフト演算器 21A-1 は、データ入力 MEMR1 の値を制御信号 SFT1MD に応じて単項演算、具体的には、制御信号 SFT1MD が示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号 s f t 1_out として入力選択装置 22A-1 および出力選択装置 24A-1 に出力する。なお、シフト演算器 21A-1 は、たとえば制御信号 SFT1MD が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 MEMR1 をそのまま出力する。

【0114】

シフト演算器 21A-2 は、データ入力 MEMR2 の値を制御信号 SFT2MD に応じて単項演算、具体的には、制御信号 SFT2MD が示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号 s f t 2_out として入力選択装置 22A-2 および出力選択装置 24A-2 に出力する。なお、シフト演算器 21A-2 は、たとえば制御信号 SFT2MD が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 MEMR2 をそのまま出力する。

【0115】

シフト演算器 21A-3 は、データ入力 MEMR3 の値を制御信号 SFT3MD に応じて単項演算、具体的には、制御信号 SFT3MD が示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号 s f t 3_out として入力選択装置 22A-3 および出力選択装置 24A-3 に出力する。なお、シフト演算器 21A-3 は、たとえば制御信号 SFT3MD が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 MEMR3 をそのまま出力する。

【0116】

入力選択装置22A-0は、制御信号R0SELに応じて、シフト演算器21A-0の出力データおよびデータ入力I0のいずれかを選択し、信号r0sel_outとしてバタフライ演算器23A-0に出力する。

【0117】

入力選択装置22A-1は、制御信号R1SELに応じて、シフト演算器21A-1の出力データおよびデータ入力I1のいずれかを選択し、信号r1sel_outとしてバタフライ演算器23A-0に出力する。

【0118】

入力選択装置22A-2は、制御信号R2SELに応じて、シフト演算器21A-2の出力データおよびデータ入力I2のいずれかを選択し、信号r2sel_outとしてバタフライ演算器23A-1に出力する。

【0119】

入力選択装置22A-3は、制御信号R3SELに応じて、シフト演算器21A-3の出力データおよびデータ入力I3のいずれかを選択し、信号r3sel_outとしてバタフライ演算器23A-1に出力する。

【0120】

バタフライ演算器23A-0は、入力端子DAに入力選択装置22A-0の出力信号r0sel_outを入力し、入力端子DBに入力選択装置22A-1の出力信号r1sel_outを入力し、制御端子CTLに供給される制御信号BTMD0の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btf0a_outとして出力選択装置24A-0および25A-0に出力し、他方の演算結果を出力端子OBから信号btf0b_outとして出力選択装置24A-1および25A-1に出力する。

【0121】

具体的には、バタフライ演算器23A-0は、制御信号BTMD0の値により、以下のいずれかの演算を選択的に行う。

【0122】

【数5】

btf0a_out = r1sel_out, btf0b_out = r0sel_out

```

btf0a_out = r1sel_out, btf0b_out = -r0sel_out
btf0a_out = -r1sel_out, btf0b_out = r0sel_out
btf0a_out = -r1sel_out, btf0b_out = -r0sel_out
btf0a_out = r0sel_out, btf0b_out = r1sel_out
btf0a_out = r0sel_out, btf0b_out = -r1sel_out
btf0a_out = -r0sel_out, btf0b_out = r1sel_out
btf0a_out = -r0sel_out, btf0b_out = -r1sel_out
btf0a_out = r0sel_out + r1sel_out, btf0b_out
    = r0sel_out - r1sel_out
btf0a_out = r0sel_out + r1sel_out, btf0b_out
    = r1sel_out - r0sel_out
btf0a_out = r0sel_out - r1sel_out, btf0b_out
    = r0sel_out + r1sel_out
btf0a_out = r1sel_out - r0sel_out, btf0b_out
    = r0sel_out + r1sel_out

```

【0123】

バタフライ演算器23A-1は、入力端子DAに入力選択装置22A-2の出力信号r2sel_outを入力し、入力端子DBに入力選択装置22A-3の出力信号r3sel_outを入力し、制御端子CTLに供給される制御信号BTMD1の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btf1a_outとして出力選択装置24A-2および25A-2に出力し、他方の演算結果を出力端子OBから信号btf1b_outとして出力選択装置24A-3および25A-3に出力する。

【0124】

具体的には、バタフライ演算器23A-1は、制御信号BTMD1の値により、以下のいずれかの演算を選択的に行う。

【0125】

【数6】

```
btf1a_out = r3sel_out; btf1b_out = r2sel_out
```

```

btfla_out = r3sel_out, btflb_out = -r2sel_out
btfla_out = -r3sel_out, btflb_out = r2sel_out
btfla_out = -r3sel_out, btflb_out = -r2sel_out
btfla_out = r2sel_out, btflb_out = r3sel_out
btfla_out = r2sel_out, btflb_out = -r3sel_out
btfla_out = -r2sel_out, btflb_out = r3sel_out
btfla_out = -r2sel_out, btflb_out = -r3sel_out
btfla_out = r2sel_out + r3sel_out, btflb_out
          = r2sel_out - r3sel_out
btfla_out = r2sel_out + r3sel_out, btflb_out
          = r3sel_out - r2sel_out
btfla_out = r2sel_out - 31sel_out, btflb_out
          = r2sel_out + r3sel_out
btfla_out = r3sel_out - r2sel_out, btflb_out
          = r2sel_out + r3sel_out

```

【0126】

出力選択装置24A-0は、制御信号D0SELに応じて、シフト演算器21A-0の出力信号sft0_out（たとえばMEMR0）とバタフライ演算器23A-0の出力信号btfa_outのいずれかを選択し、信号D0として出力する。

【0127】

出力選択装置24A-1は、制御信号D1SELに応じて、シフト演算器21A-1の出力信号sft1_out（たとえばMEMR1）とバタフライ演算器23A-0の出力信号btfb_outのいずれかを選択し、信号D1として出力する。

【0128】

出力選択装置24A-2は、制御信号D2SELに応じて、シフト演算器21A-2の出力信号sft2_out（たとえばMEMR2）とバタフライ演算器23A-1の出力信号btfa_outのいずれかを選択し、信号D2として出力

する。

【0129】

出力選択装置2.4A-3は、制御信号D3SELに応じて、シフト演算器2.1A-3の出力信号sft3_out（たとえばMEMR3）とバタフライ演算器2.3A-1の出力信号btfa_outのいずれかを選択し、信号D3として出力する。

【0130】

出力選択装置2.5A-0は、制御信号W0SELに応じて、データ入力I0とバタフライ演算器2.3A-0の出力信号btfa_outのいずれかを選択し、信号MEMW0として出力する。

【0131】

出力選択装置2.5A-1は、制御信号W1SELに応じて、データ入力I1とバタフライ演算器2.3A-0の出力信号btfa_outのいずれかを選択し、信号MEMW1として出力する。

【0132】

出力選択装置2.5A-2は、制御信号W2SELに応じて、データ入力I2とバタフライ演算器2.3A-1の出力信号btfa_outのいずれかを選択し、信号MEMW2として出力する。

【0133】

出力選択装置2.5A-3は、制御信号W3SELに応じて、データ入力I3とバタフライ演算器2.3A-1の出力信号btfa_outのいずれかを選択し、信号MEMW3として出力する。

【0134】

次に、上記構成による動作を説明する。

ここでは、

$$D1 = MEMR0 - MEMR1,$$

$$D3 = MEMR2 - MEMR3,$$

$$MEMW0 = MEMR0 + MEMR1,$$

$$MEMW2 = MEMR2 + MEMR3,$$

MEMW1 = I 1

MEMW3 = I 3

の演算を実行するものとする。

【0135】

たとえばシフト演算器21A-0, 21A-1, 21A-2, 21A-3のシフト量が、制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MDによりゼロに設定される。

したがって、シフト演算器21A-0の出力信号sft0_outはMEMR0となり、入力選択装置22A-0および出力選択装置24A-0に供給される。

同様に、シフト演算器21A-1の出力信号sft1_outはMEMR1となり、入力選択装置22A-1および出力選択装置24A-1に供給される。

シフト演算器21A-2の出力信号sft2_outはMEMR2となり、入力選択装置22A-2および出力選択装置24A-2に供給される。

そして、シフト演算器21A-3の出力信号sft3_outはMEMR3となり、入力選択装置22A-3および出力選択装置24A-3に供給される。

【0136】

入力選択装置22A-0では、制御信号R0SELにより、シフト演算器21A-0の出力信号、すなわちMEMR0を選択するように制御され、選択されたデータMEMR0が信号r0sel_outとして、バラフライ演算器23A-0の入力端子DAに供給される。

入力選択装置22A-1では、制御信号R1SELにより、シフト演算器21A-1の出力信号、すなわちMEMR1を選択するように制御され、選択されたデータMEMR1が信号r1sel_outとして、バラフライ演算器23A-0の入力端子DBに供給される。

【0137】

また、入力選択装置22A-2では、制御信号R2SELにより、シフト演算器21A-2の出力信号、すなわちMEMR2を選択するように制御され、選択されたデータMEMR2が信号r2sel_outとして、バラフライ演算器23A-1の入力端子DAに供給される。

入力選択装置 22A-3 では、制御信号 R3SEL により、シフト演算器 21A-3 の出力信号、すなわち MEMR3 を選択するように制御され、選択されたデータ MEMR3 が信号 r3sel_out として、バタフライ演算器 23A-1 の入力端子 DB に供給される。

【0138】

バタフライ演算器 23A-0 では、制御端子 CTL に供給される制御信号 BT FMD0 により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器 23A-0においては、入力端子 DA に供給されたデータ MEMR0 と入力端子 DB に供給されたデータ MEMR1 とが加算され、その結果である ($MEMR0 + MEMR1$) が出力端子 OA から信号 btf0a_out として、出力選択装置 24A-0 および 25A-0 に出力される。

また、バタフライ演算器 23A-0においては、入力端子 DA に供給されたデータ MEMR0 と入力端子 DB に供給されたデータ MEMR1 との差がとられ、その結果である ($MEMR0 - MEMR1$) が出力端子 OB から信号 btf0b_out として、出力選択装置 24A-1 および 25A-1 に出力される。

【0139】

同様に、バタフライ演算器 23A-1 では、制御端子 CTL に供給される制御信号 BT FMD1 により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器 23A-1においては、入力端子 DA に供給されたデータ MEMR2 と入力端子 DB に供給されたデータ MEMR3 とが加算され、その結果である ($MEMR2 + MEMR3$) が出力端子 OA から信号 btf1a_out として、出力選択装置 24A-2 および 25A-2 に出力される。

また、バタフライ演算器 23A-1においては、入力端子 DA に供給されたデータ MEMR2 と入力端子 DB に供給されたデータ MEMR3 との差がとられ、その結果である ($MEMR2 - MEMR3$) が出力端子 OB から信号 btf1b_out として、出力選択装置 24A-3 および 25A-3 に出力される。

【0140】

出力選択装置24A-1において、シフト演算器21A-1の出力信号(MEMR1)とバタフライ演算器23A-0の出力信号bt f0b_out(=MEMR0-MEMR1)のうち、バタフライ演算器23A-0の出力信号bt f0b_outを選択するように制御信号D1SELが供給され、これにより選択されたデータが信号D1=MEMR0-MEMR1として出力される。

【0141】

また、出力選択装置25A-0では、データ入力I0とバタフライ演算器23A-0の出力信号bt f0a_out(=MEMR0+MEMR1)のうち、バタフライ演算器23A-0の出力信号bt f0a_outを選択するように制御信号W0SELが供給され、これにより選択されたデータが信号MEMW0=MEMR0+MEMR1として出力される。

【0142】

また、出力選択装置25A-1では、データ入力I1とバタフライ演算器23A-0の出力信号bt f0b_out(=MEMR0-MEMR1)のうち、データ入力I1を選択するように制御信号W1SELが供給され、これにより選択されたデータが信号MEMW1=I1として出力される。

【0143】

また、出力選択装置24A-3において、シフト演算器21A-3の出力信号(MEMR3)とバタフライ演算器23A-1の出力信号bt f1b_out(=MEMR2-MEMR3)のうち、バタフライ演算器23A-1の出力信号bt f1b_outを選択するように制御信号D3SELが供給され、これにより選択されたデータが信号D3=MEMR2-MEMR3として出力される。

【0144】

また、出力選択装置25A-2では、データ入力I2とバタフライ演算器23A-1の出力信号bt f1a_out(=MEMR2+MEMR3)のうち、バタフライ演算器23A-1の出力信号bt f1a_outを選択するように制御信号W2SELが供給され、これにより選択されたデータが信号MEMW2=MEMR2+MEMR3として出力される。

【0145】

また、出力選択装置25A-3では、データ入力I3とバタフライ演算器23A-1の出力信号 $btf1b_{out}$ (=MEMR2-MEMR3) のうち、データ入力I3を選択するように制御信号W3SELが供給され、これにより選択されたデータが信号MEMW3=I3として出力される。

【0146】

本第4の実施形態に係る8入力8出力の演算装置20Aによれば、上述した第3の実施形態の効果と同様の効果を得ることができる。

【0147】

第5実施形態

図7は、本発明に係る演算装置の第5の実施形態を示す構成図である。

【0148】

本第5の実施形態が上述した第4の実施形態と異なる点は、入力端子DAにバタフライ演算器23A-0の出力信号 $btf0a_{out}$ を入力し、入力端子DBにバタフライ演算器23A-1の出力信号 $btf1a_{out}$ を入力し、制御端子CTLに供給される制御信号BTMD2の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号 $btf2a_{out}$ として出力選択装置25B-0および25B-2に出力し、他方の演算結果を出力端子OBから信号 $btf2b_{out}$ として出力選択装置25B-1および25B-3に出力するバタフライ演算器23A-2を設け、3つのバタフライ演算器をいわゆる多段に配置して、ツリー状に接続した構成としたことにある。

【0149】

なお、本第5の実施形態に係るバタフライ演算器23B-2は、制御信号BTMD2の値により、以下のいずれかの演算を選択的に行う。

【0150】

【数7】

```

btf2a_{out} = btf0a_{out}, btf2b_{out} = btf1a_{out}
btf2a_{out} = btf0a_{out}, btf2b_{out} = -btf1a_{out}
btf2a_{out} = -btf0a_{out}, btf2b_{out} = btf1a_{out}
btf2a_{out} = -btf0a_{out}, btf2b_{out} = -btf1a_{out}

```

```

btf2a_out = btf0a_out, btf2b_out = btf1a_out
btf2a_out = btf0a_out, btf2b_out = -btf1a_out
btf2a_out = -btf0a_out, btf2b_out = btf1a_out
btf2a_out = -btf0a_out, btf2b_out = -btf1a_out
btf2a_out = btf1a_out + btf0a_out, btf2b_out
    = btf1a_out - btf0a_out
btf2a_out = btf1a_out + btf0a_out, btf2b_out
    = btf0a_out - btf1a_out
btf2a_out = btf1a_out - btf0a_out, btf2b_out
    = btf1a_out + btf0a_out
btf2a_out = btf0a_out - btf1a_out, btf2b_out
    = btf1a_out + btf0a_out

```

【0151】

そして、本第5の実施形態においては、出力選択装置25B-0～25B-3を制御信号W0SEL～W3SELに応じて3つの入力データの中から一つのデータを選択し、信号MEMW0～MEMW3として出力するように構成している。

【0152】

出力選択装置25B-0は、制御信号W0SELに応じて、データ入力I0とバタフライ演算器23A-0の出力信号btf0a_outとバタフライ演算器23B-2の出力信号btf2a_outとのいずれかを選択し、信号MEMW0として出力する。

【0153】

出力選択装置25B-1は、制御信号W1SELに応じて、データ入力I1とバタフライ演算器23A-0の出力信号btf0b_outとバタフライ演算器23B-2の出力信号btf2b_outとのいずれかを選択し、信号MEMW1として出力する。

【0154】

出力選択装置25B-2は、制御信号W2SELに応じて、データ入力I2と

バタフライ演算器23A-1の出力信号btfa_outとバタフライ演算器23B-2の出力信号btfb_outのいずれかを選択し、信号MEMW2として出力する。

【0155】

出力選択装置25B-3は、制御信号W3SELに応じて、データ入力I3とバタフライ演算器23A-1の出力信号btfb_outとバタフライ演算器23B-2の出力信号btfb_outのいずれかを選択し、信号MEMW3として出力する。

【0156】

その他の構成および機能は、第4の実施形態に係る図6と同様であることから、図7においては、図6と同一構成部分は、同一符号をもって表している。

【0157】

このような構成において、たとえばバタフライ演算器23A-0の出力信号btfa_outが(MEMR0+MEMR1)で、バタフライ演算器23A-1の出力信号btfa_outが(MEMR2+MEMR3)であるとした場合に、たとえばバタフライ演算器23B-2の出力信号btfa_outが(MEMR0+MEMR1+MEMR2+MEMR3)となり、出力信号btfb_outが(MEMR0+MEMR1-MEMR2-MEMR3)となる。

【0158】

そして、出力選択装置25B-0において、制御信号W0SELに応じて、バタフライ演算器23B-2の出力信号btfa_outを選択するように制御することにより、信号MEMW0は(MEMR0+MEMR1+MEMR2+MEMR3)として出力される。

同様に、出力選択装置25B-2において、制御信号W2SELに応じて、バタフライ演算器23B-2の出力信号btfa_outを選択するように制御することにより、信号MEMW2は(MEMR0+MEMR1+MEMR2+MEMR3)として出力される。

【0159】

また、出力選択装置25B-1において、制御信号W1SELに応じて、バタ

フライ演算器23B-2の出力信号 $b_{t f 2 b_out}$ を選択するように制御することにより、信号MEMW1は(MEMR0+MEMR1-MEMR2-MEMR3)として出力される。

同様に、出力選択装置25B-3において、制御信号W3SELに応じて、バタフライ演算器23B-2の出力信号 $b_{t f 2 b_out}$ を選択するように制御することにより、信号MEMW3は(MEMR0+MEMR1-MEMR2-EMR3)として出力される。

【0160】

その他の構成、および作用は、上述した第4の実施形態と同様であることからここではその説明は省略する。

【0161】

本第5の実施形態によれば、上述した第4の実施形態と同様の効果を得られることはもとより、さらに高度な複雑な演算を容易に行うことができる利点がある。

【0162】

第6実施形態

図8は、本発明に係る演算装置の第6の実施形態を示す構成図である。

【0163】

図8の演算装置20Cは、構成情報に基づいて再構成可能な演算装置であって、16入力16出力の演算を行い、バタフライ演算を実行可能に構成されている。

【0164】

本演算装置20Cは、入力選択装置(RSEL0)22C-0、入力選択装置(RSEL1)22C-1、入力選択装置(RSEL2)22C-2、入力選択装置(RSEL3)22C-3、入力選択装置(RSEL4)22C-4、入力選択装置(RSEL5)22C-5、入力選択装置(RSEL6)22C-6、入力選択装置(RSEL7)22C-7、入力選択装置(BSEL0)22C-8、入力選択装置(BSEL1)22C-9、入力選択装置(BSEL2)22C-10、入力選択装置(BSEL3)22C-11、入力選択装置(BSEL

4) 22C-12、入力選択装置 (BSEL5) 22C-13、入力選択装置 (BSEL6) 22C-14、入力選択装置 (BSEL7) 22C-15、バタフライ演算器 (BTFO) 23C-0、バタフライ演算器 (BTF1) 23C-1、バタフライ演算器 (BTF2) 23C-2、バタフライ演算器 (BTF3) 23C-3、バタフライ演算器 (BTF4) 23C-4、バタフライ演算器 (BTF5) 23C-5、バタフライ演算器 (BTF6) 23C-6、バタフライ演算器 (BTF7) 23C-7、出力選択装置 (DSEL0) 24C-0、出力選択装置 (DSEL1) 24C-1、出力選択装置 (DSEL2) 24C-2、出力選択装置 (DSEL3) 24C-3、出力選択装置 (DSEL4) 24C-4、出力選択装置 (DSEL5) 24C-5、出力選択装置 (DSEL6) 24C-6、出力選択装置 (DSEL7) 24C-7、出力選択装置 (WSEL0) 25C-0、出力選択装置 (WSEL1) 25C-1、出力選択装置 (WSEL2) 25C-2、出力選択装置 (WSEL3) 25C-3、出力選択装置 (WSEL4) 25C-4、出力選択装置 (WSEL5) 25C-5、出力選択装置 (WSEL6) 25C-6、および出力選択装置 (WSEL7) 25C-7を有している。

【0165】

そして、入力選択装置 22C-0～22C-7が本発明の第1の入力選択装置を構成し、入力選択装置 22C-9～22C-15が本発明の第2の入力選択装置を構成し、バタフライ演算器 23C-0、バタフライ演算器 23C-2、バタフライ演算器 23C-4、およびバタフライ演算器 23C-6が本発明の第1の演算器を構成し、バタフライ演算器 23C-1、バタフライ演算器 23C-3、バタフライ演算器 23C-5、およびバタフライ演算器 23C-7が本発明の第2の演算器を構成し、出力選択装置 24C-0～24C-7が本発明の第1の出力選択装置を構成し、出力選択装置 25C-0～25C-7が本発明の第2の出力選択装置を構成する。

【0166】

そして、演算装置 20Cは、データ入力MEMR0, MEMR1, MEMR2, MEMR3, MEMR4, MEMR5, MEMR6, MEMR7, I0, I1

, I2, I3, I4, I5, I6, I7, およびデータ出力MEMW0, MEMW1, MEMW2, MEMW3, MEMW4, MEMW5, MEMW6, MEMW7, D0, D1, D2, D3, D4, D5, D6, D7を有し、また、再構成のための制御信号BT FMD0, BT FMD1, BT FMD2, BT FMD3, BT FMD4, BT FMD5, BT FMD6, BT FMD7, R0 SEL, R1 SEL, R2 SEL, R3 SEL, R4 SEL, R5 SEL, R6 SEL, R7 SEL, B0 SEL, B1 SEL, B2 SEL, B3 SEL, B4 SEL, B5 SEL, B6 SEL, B7 SEL, W0 SEL, W1 SEL, W2 SEL, W3 SEL, W4 SEL, W5 SEL, W6 SEL, W7 SEL, D0 SEL, D1 SEL, D2 SEL, D3 SEL, D4 SEL, D5 SEL, D6 SEL, D7 SELが供給される。

【0167】

入力選択装置22C-0は、制御信号R0 SELに応じて、データ入力MEMR0およびデータ入力I0のいずれかを選択し、信号r0sel_outとしてバタフライ演算器23C-0に出力する。

【0168】

入力選択装置22C-1は、制御信号R1 SELに応じて、データ入力MEMR1およびデータ入力I1のいずれかを選択し、信号r1sel_outとしてバタフライ演算器23C-0に出力する。

【0169】

入力選択装置22C-2は、制御信号R2 SELに応じて、データ入力MEMR2およびデータ入力I2のいずれかを選択し、信号r2sel_outとしてバタフライ演算器23C-2に出力する。

【0170】

入力選択装置22C-3は、制御信号R3 SELに応じて、データ入力MEMR3およびデータ入力I3のいずれかを選択し、信号r3sel_outとしてバタフライ演算器23C-2に出力する。

【0171】

入力選択装置22C-4は、制御信号R4 SELに応じて、データ入力MEM

R4 およびデータ入力I4 のいずれかを選択し、信号 r4sel_out としてバタフライ演算器23C-4 に出力する。

【0172】

入力選択装置22C-5 は、制御信号R5SEL に応じて、データ入力MEM R5 およびデータ入力I5 のいずれかを選択し、信号 r5sel_out としてバタフライ演算器23C-4 に出力する。

【0173】

入力選択装置22C-6 は、制御信号R6SEL に応じて、データ入力MEM R6 およびデータ入力I6 のいずれかを選択し、信号 r6sel_out としてバタフライ演算器23C-6 に出力する。

【0174】

入力選択装置22C-7 は、制御信号R7SEL に応じて、データ入力MEM R7 およびデータ入力I7 のいずれかを選択し、信号 r7sel_out としてバタフライ演算器23C-6 に出力する。

【0175】

入力選択装置22C-8 は、制御信号B0SEL に応じて、データ入力I0、バタフライ演算器23C-0 の出力信号 btf0a_out 、およびバタフライ演算器23C-6 の出力信号 btf6b_out のいずれかを選択し、信号 b0sel_out としてバタフライ演算器23C-1 に出力する。

【0176】

入力選択装置22C-9 は、制御信号B1SEL に応じて、データ入力I1、バタフライ演算器23C-0 の出力信号 btf0b_out 、およびバタフライ演算器23C-2 の出力信号 btf2a_out のいずれかを選択し、信号 b1sel_out としてバタフライ演算器23C-1 に出力する。

【0177】

入力選択装置22C-10 は、制御信号B2SEL に応じて、データ入力I2 、バタフライ演算器23C-2 の出力信号 btf2a_out 、およびバタフライ演算器23C-0 の出力信号 btf0b_out のいずれかを選択し、信号 b2sel_out としてバタフライ演算器23C-3 に出力する。

【0178】

入力選択装置22C-11は、制御信号B3SELに応じて、データ入力I3、バタフライ演算器23C-2の出力信号bt f2b_out、およびバタフライ演算器23C-4の出力信号bt f4a_outのいずれかを選択し、信号b3s e1_outとしてバタフライ演算器23C-3に出力する。

【0179】

入力選択装置22C-12は、制御信号B4SELに応じて、データ入力I4、バタフライ演算器23C-4の出力信号bt f4a_out、およびバタフライ演算器23C-2の出力信号bt f2b_outのいずれかを選択し、信号b4s e1_outとしてバタフライ演算器23C-5に出力する。

【0180】

入力選択装置22C-13は、制御信号B5SELに応じて、データ入力I5、バタフライ演算器23C-4の出力信号bt f4b_out、およびバタフライ演算器23C-6の出力信号bt f6a_outのいずれかを選択し、信号b5s e1_outとしてバタフライ演算器23C-5に出力する。

【0181】

入力選択装置22C-14は、制御信号B6SELに応じて、データ入力I6、バタフライ演算器23C-6の出力信号bt f6a_out、およびバタフライ演算器23C-4の出力信号bt f4b_outのいずれかを選択し、信号b6s e1_outとしてバタフライ演算器23C-7に出力する。

【0182】

入力選択装置22C-15は、制御信号B7SELに応じて、データ入力I7、バタフライ演算器23C-6の出力信号bt f6b_out、およびバタフライ演算器23C-0の出力信号bt f0a_outのいずれかを選択し、信号b7s e1_outとしてバタフライ演算器23C-7に出力する。

【0183】

バタフライ演算器23C-0は、入力端子DAに入力選択装置22C-0の出力信号r0sel_outを入力し、入力端子DBに入力選択装置22C-1の出力信号r1sel_outを入力し、制御端子CTLに供給される制御信号BT

MD 0 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $b_{t f 0 a_out}$ として入力選択装置 22C-8 および 22C-15 に出力し、他方の演算結果を出力端子 OB から信号 $b_{t f 0 b_out}$ として入力選択装置 22C-9 および 22C-10 に出力する。

【0184】

バタフライ演算器 23C-1 は、入力端子 DA に入力選択装置 22C-8 の出力信号 $b_{0 sel_out}$ を入力し、入力端子 DB に入力選択装置 22C-9 の出力信号 $b_{1 sel_out}$ を入力し、制御端子 CTL に供給される制御信号 BT F MD 1 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $b_{t f 1 a_out}$ として出力選択装置 24C-0 および 25C-0 に出力し、他方の演算結果を出力端子 OB から信号 $b_{t f 1 b_out}$ として出力選択装置 24C-1 および 25C-1 に出力する。

【0185】

バタフライ演算器 23C-2 は、入力端子 DA に入力選択装置 22C-2 の出力信号 $r_{2 sel_out}$ を入力し、入力端子 DB に入力選択装置 22C-3 の出力信号 $r_{3 sel_out}$ を入力し、制御端子 CTL に供給される制御信号 BT F MD 2 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $b_{t f 2 a_out}$ として入力選択装置 22C-10 および 22C-9 に出力し、他方の演算結果を出力端子 OB から信号 $b_{t f 2 b_out}$ として入力選択装置 22C-11 および 22C-12 に出力する。

【0186】

バタフライ演算器 23C-3 は、入力端子 DA に入力選択装置 22C-10 の出力信号 $b_{2 sel_out}$ を入力し、入力端子 DB に入力選択装置 22C-11 の出力信号 $b_{3 sel_out}$ を入力し、制御端子 CTL に供給される制御信号 BT F MD 3 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $b_{t f 3 a_out}$ として出力選択装置 24C-2 および 25C-2 に出力し、他方の演算結果を出力端子 OB から信号 $b_{t f 3 b_out}$ として出力選択装置 24C-3 および 25C-3 に出力する。

【0187】

バタフライ演算器23C-4は、入力端子DAに入力選択装置22C-4の出力信号r4sel_outを入力し、入力端子DBに入力選択装置22C-5の出力信号r5sel_outを入力し、制御端子CTLに供給される制御信号BTFFMD4の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btf4a_outとして入力選択装置22C-12および22C-11に出力し、他方の演算結果を出力端子OBから信号btf4b_outとして入力選択装置22C-13および22C-14に出力する。

【0188】

バタフライ演算器23C-5は、入力端子DAに入力選択装置22C-12の出力信号b4sel_outを入力し、入力端子DBに入力選択装置22C-13の出力信号b5sel_outを入力し、制御端子CTLに供給される制御信号BTFFMD5の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btf5a_outとして出力選択装置24C-4および25C-4に出力し、他方の演算結果を出力端子OBから信号btf5b_outとして出力選択装置24C-5および25C-5に出力する。

【0189】

バタフライ演算器23C-6は、入力端子DAに入力選択装置22C-6の出力信号r6sel_outを入力し、入力端子DBに入力選択装置22C-7の出力信号r7sel_outを入力し、制御端子CTLに供給される制御信号BTFFMD6の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btf6a_outとして入力選択装置22C-14および22C-13に出力し、他方の演算結果を出力端子OBから信号btf6b_outとして入力選択装置22C-15および22C-8に出力する。

【0190】

バタフライ演算器23C-7は、入力端子DAに入力選択装置22C-14の出力信号b6sel_outを入力し、入力端子DBに入力選択装置22C-15の出力信号b7sel_outを入力し、制御端子CTLに供給される制御信号BTFFMD7の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btf7a_outとして出力選択装置24C-6および2

5C-6に出力し、他方の演算結果を出力端子OBから信号btf7b_outとして出力選択装置24C-7および25C-7に出力する。

【0191】

具体的には、バタフライ演算器23C-i ($i = 0, 2, 4, 6$) は、制御信号BT FMDiの値により、以下のいずれかの演算を選択的に行う。

【0192】

【数8】

```

btf[i] a_out = r[i+1] sel_out, btf[i] b_out = r[i] sel_out
btf[i] a_out = r[i+1] sel_out, btf[i] b_out = -r[i] sel_out
btf[i] a_out = -r[i+1] sel_out, btf[i] b_out = r[i] sel_out
btf[i] a_out = -r[i+1] sel_out, btf[i] b_out = -r[i] sel_out
btf[i] a_out = r[i] sel_out, btf[i] b_out = r[i+1] sel_out
btf[i] a_out = r[i] sel_out, btf[i] b_out = -r[i+1] sel_out
btf[i] a_out = -r[i] sel_out, btf[i] b_out = r[i+1] sel_out
btf[i] a_out = -r[i] sel_out, btf[i] b_out = -r[i+1] sel_out
btf[i] a_out = r[i] sel_out + r[i+1] sel_out, btf[i] b_out
            = r[i] sel_out - r[i+1] sel_out
btf[i] a_out = r[i] sel_out + r[i+1] sel_out, btf[i] b_out
            = r[i+1] sel_out - r[i] sel_out
btf[i] a_out = r[i] sel_out - r[i+1] sel_out, btf[i] b_out
            = r[i] sel_out + r[i+1] sel_out
btf[i] a_out = r[i+1] sel_out - r[i] sel_out, btf[i] b_out
            = r[i] sel_out + r[i+1] sel_out

```

【0193】

また、バタフライ演算器23C-j ($j = 1, 3, 5, 7$) は、制御信号BT FMDjの値により、以下のいずれかの演算を選択的に行う。

【0194】

【数9】

```
btf[j] a_out = b[j] sel_out, btf[j] b_out = b[j-1] sel_out
```

```

btf[j] a_out = b[j] sel_out, btf[j] b_out = -b[j-1] sel_out
btf[j] a_out = -b[j] sel_out, btf[j] b_out = b[j-1] sel_out
btf[j] a_out = -b[j] sel_out, btf[j] b_out = -b[j-1] sel_out
btf[j] a_out = b[j-1] sel_out, btf[j] b_out = b[j] sel_out
btf[j] a_out = b[j-1] sel_out, btf[j] b_out = -b[j] sel_out
btf[j] a_out = -b[j-1] sel_out, btf[j] b_out = b[j] sel_out
btf[j] a_out = -b[j-1] sel_out, btf[j] b_out = -b[j] sel_out
btf[j] a_out = b[j-1] sel_out + b[j] sel_out, btf[j] b_out
          = b[j-1] sel_out - b[j] sel_out
btf[j] a_out = b[j-1] sel_out + b[j] sel_out, btf[j] b_out
          = b[j] sel_out - b[j-1] sel_out
btf[j] a_out = b[j-1] sel_out - b[j] sel_out, btf[j] b_out
          = b[j-1] sel_out + b[j] sel_out
btf[j] a_out = b[j] sel_out - b[j-1] sel_out, btf[j] b_out
          = b[j-1] sel_out + b[j] sel_out

```

【0195】

出力選択装置24C-0は、制御信号D0SELに応じて、データ入力MEMR0とバタフライ演算器23C-1の出力信号btf1a_outのいずれかを選択し、信号D0として出力する。

【0196】

出力選択装置24C-1は、制御信号D1SELに応じて、データ入力MEMR1とバタフライ演算器23C-1の出力信号btf1b_outのいずれかを選択し、信号D1として出力する。

【0197】

出力選択装置24C-2は、制御信号D2SELに応じて、データ入力MEMR2とバタフライ演算器23C-3の出力信号btf3a_outのいずれかを選択し、信号D2として出力する。

【0198】

出力選択装置24C-3は、制御信号D3SELに応じて、データ入力MEM

R3とバタフライ演算器23C-3の出力信号bt f3b_outのいずれかを選択し、信号D3として出力する。

【0199】

出力選択装置24C-4は、制御信号D4SELに応じて、データ入力MEMR4とバタフライ演算器23C-5の出力信号bt f5a_outのいずれかを選択し、信号D4として出力する。

【0200】

出力選択装置24C-5は、制御信号D5SELに応じて、データ入力MEMR5とバタフライ演算器23C-5の出力信号bt f5b_outのいずれかを選択し、信号D5として出力する。

【0201】

出力選択装置24C-6は、制御信号D6SELに応じて、データ入力MEMR6とバタフライ演算器23C-7の出力信号bt f7a_outのいずれかを選択し、信号D6として出力する。

【0202】

出力選択装置24C-7は、制御信号D7SELに応じて、データ入力MEMR7とバタフライ演算器23C-7の出力信号bt f7b_outのいずれかを選択し、信号D7として出力する。

【0203】

出力選択装置25C-0は、制御信号W0SELに応じて、データ入力I0とバタフライ演算器23C-1の出力信号bt f1a_outのいずれかを選択し、信号MEMW0として出力する。

【0204】

出力選択装置25C-1は、制御信号W1SELに応じて、データ入力I1とバタフライ演算器23C-1の出力信号bt f1b_outのいずれかを選択し、信号MEMW1として出力する。

【0205】

出力選択装置25C-2は、制御信号W2SELに応じて、データ入力I2とバタフライ演算器23C-3の出力信号bt f3a_outのいずれかを選択し、

信号MEMW2として出力する。

【0206】

出力選択装置25C-3は、制御信号W3SELに応じて、データ入力I3とバタフライ演算器23C-3の出力信号bt f3b_outのいずれかを選択し、信号MEMW3として出力する。

【0207】

出力選択装置25C-4は、制御信号W4SELに応じて、データ入力I4とバタフライ演算器23C-5の出力信号bt f5a_outのいずれかを選択し、信号MEMW4として出力する。

【0208】

出力選択装置25C-5は、制御信号W5SELに応じて、データ入力I5とバタフライ演算器23C-5の出力信号bt f5b_outのいずれかを選択し、信号MEMW5として出力する。

【0209】

出力選択装置25C-6は、制御信号W6SELに応じて、データ入力I6とバタフライ演算器23C-7の出力信号bt f7a_outのいずれかを選択し、信号MEMW6として出力する。

【0210】

出力選択装置25C-7は、制御信号W7SELに応じて、データ入力I7とバタフライ演算器23C-7の出力信号bt f7b_outのいずれかを選択し、信号MEMW7として出力する。

【0211】

次に、上記構成による動作を説明する。

ここでは、たとえば以下の演算を実行するものとする。

$$D0 = MEMR6 - MEMR7 + MEMR0 - MEMR1,$$

$$D1 = MEMR1,$$

$$D6 = MEMR6,$$

$$D7 = MEMR6 + MEMR7 - MEMR0 - MEMR1,$$

$$MEMW0 = I0$$

MEMW1 = MEMR6 - MEMR7 - MEMR0 + MEMR1,

MEMW6 = MEMR0 + MEMR1 + MEMR6 + MEMR7,

MEMW7 = I7

【0212】

この場合、入力選択装置22C-0では、制御信号R0SELにより、データ入力MEMR0を選択するように制御され、選択されたデータMEMR0が信号r0sel_outとして、バラフライ演算器23C-0の入力端子DAに供給される。

入力選択装置22C-1では、制御信号R1SELにより、MEMR1を選択するように制御され、選択されたデータMEMR1が信号r1sel_outとして、バラフライ演算器23C-0の入力端子DBに供給される。

【0213】

また、入力選択装置22C-6では、制御信号R6SELにより、MEMR6を選択するように制御され、選択されたデータMEMR6が信号r6sel_outとして、バラフライ演算器23C-6の入力端子DAに供給される。

入力選択装置22C-7では、制御信号R7SELにより、MEMR7を選択するように制御され、選択されたデータMEMR7が信号r7sel_outとして、バラフライ演算器23C-7の入力端子DBに供給される。

【0214】

バタフライ演算器23C-0では、制御端子CTLに供給される制御信号BT FMD0により、OA = DA + DB, OB = DA - DBが計算されるモードに設定される。

これにより、バタフライ演算器23C-0においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1とが加算され、その結果である (MEMR0 + MEMR1) が出力端子OAから信号btfa_outとして、入力選択装置22C-8および22C-15に出力される。

また、バタフライ演算器23C-0においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1との差がとられ、その結果である (MEMR0 - MEMR1) が出力端子OBから信号btfb_out

out として、入力選択装置 22C-9 および 22C-10 に出力される。

【0215】

同様に、バタフライ演算器 23C-6 では、制御端子 CTL に供給される制御信号 BT FMD 6 により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器 23C-6 においては、入力端子 DA に供給されたデータ MEMR 6 と入力端子 DB に供給されたデータ MEMR 7 とが加算され、その結果である ($MEMR 6 + MEMR 7$) が出力端子 OA から信号 $b t f 6 a$ out として、入力選択装置 22C-14 および 22C-13 に出力される。

また、バタフライ演算器 23C-6 においては、入力端子 DA に供給されたデータ MEMR 6 と入力端子 DB に供給されたデータ MEMR 7 との差がとられ、その結果である ($MEMR 6 - MEMR 7$) が出力端子 OB から信号 $b t f 6 b$ out として、入力選択装置 22C-15 および 22C-8 に出力される。

【0216】

そして、入力選択装置 22C-8 では、制御信号 B0SEL により、バタフライ演算器 23C-6 の出力信号 $b t f 6 b$ out ($= MEMR 6 - MEMR 7$) を選択するように制御され、選択されたデータ ($MEMR 6 - MEMR 7$) が信号 $b 0 s e l$ out として、バラフライ演算器 23C-1 の入力端子 DA に供給される。

入力選択装置 22C-9 では、制御信号 B1SEL により、バタフライ演算器 23C-0 の出力信号 $b t f 0 b$ out ($= MEMR 0 - MEMR 1$) を選択するように制御され、選択されたデータ ($MEMR 0 - MEMR 1$) が信号 $b 1 s e l$ out として、バラフライ演算器 23C-1 の入力端子 DB に供給される。

【0217】

また、入力選択装置 22C-14 では、制御信号 B6SEL により、バタフライ演算器 23C-6 の出力信号 $b t f 6 a$ out ($= MEMR 6 + MEMR 7$) を選択するように制御され、選択されたデータ ($MEMR 6 + MEMR 7$) が信号 $b 6 s e l$ out として、バラフライ演算器 23C-7 の入力端子 DA に供給

される。

入力選択装置22C-15では、制御信号B7SELにより、バタフライ演算器23C-0の出力信号btfa_out(=MEMR0+MEMR1)を選択するように制御され、選択されたデータ(MEMR0+MEMR1)が信号b7sel_outとして、バラフライ演算器23C-7の入力端子DBに供給される。

【0218】

バタフライ演算器23C-1では、制御端子CTLに供給される制御信号BT FMD1により、OA=DA+DB, OB=DA-DBが計算されるモードに設定される。

これにより、バタフライ演算器23C-1においては、入力端子DAに供給されたデータ(MEMR6-MEMR7)と入力端子DBに供給されたデータ(MEMR0-MEMR1)とが加算され、その結果である(MEMR6-MEMR7+MEMR0-MEMR1)が出力端子OAから信号btfa_outとして、出力選択装置24C-0および25C-0に出力される。

また、バタフライ演算器23C-1においては、入力端子DAに供給されたデータ(MEMR6-MEMR7)と入力端子DBに供給されたデータ(MEMR0-MEMR1)との差がとられ、その結果である(MEMR6-MEMR7-MEMR0+MEMR1)が出力端子OBから信号btfb_outとして、出力選択装置24C-1および25C-1に出力される。

【0219】

同様に、バタフライ演算器23C-7では、制御端子CTLに供給される制御信号BT FMD7により、OA=DA+DB, OB=DA-DBが計算されるモードに設定される。

これにより、バタフライ演算器23C-7においては、入力端子DAに供給されたデータ(MEMR6+MEMR7)と入力端子DBに供給されたデータ(MEMR0+MEMR1)とが加算され、その結果である(MEMR6+MEMR7+MEMR0+MEMR1)が出力端子OAから信号btfa_outとして、出力選択装置24C-6および25C-6に出力される。

また、バタフライ演算器23C-7においては、入力端子DAに供給されたデータ(MEMR6+MEMR7)と入力端子DBに供給されたデータ(MEMR0+MEMR1)との差がとられ、その結果である(MEMR6+MEMR7-MEMR0-MEMR1)が出力端子OBから信号bt f7b_outとして、出力選択装置24C-7および25C-7に出力される。

【0220】

出力選択装置24C-0においては、データ入力MEMR0とバタフライ演算器23C-1の出力信号bt f1a_out(=MEMR6-MEMR7+MEMR0-MEMR1)のうち、バタフライ演算器23C-1の出力信号bt f1a_outを選択するように制御信号D0SELが供給され、これにより選択されたデータが信号D0=MEMR6-MEMR7+MEMR0-MEMR1として出力される。

【0221】

出力選択装置24C-1においては、データ入力MEMR1とバタフライ演算器23C-1の出力信号bt f1b_out(=MEMR6-MEMR7-MEMR0+MEMR1)のうち、データ入力MEMR1を選択するように制御信号D1SELが供給され、これにより選択されたデータが信号D1=MEMR1として出力される。

【0222】

出力選択装置24C-6においては、データ入力MEMR6とバタフライ演算器23C-7の出力信号bt f7a_out(=MEMR6+MEMR7+MEMR0+MEMR1)のうち、データ入力MEMR6を選択するように制御信号D6SELが供給され、これにより選択されたデータが信号D6=MEMR6として出力される。

【0223】

出力選択装置24C-7においては、データ入力MEMR7とバタフライ演算器23C-7の出力信号bt f7b_out(=MEMR6+MEMR7-MEMR0-MEMR1)のうち、バタフライ演算器23C-7の出力信号bt f7b_outを選択するように制御信号D7SELが供給され、これにより選択された

データが信号 $D7 = MEMR6 + MEMR7 - MEMR0 - MEMR1$ として出力される。

【0224】

また、出力選択装置25C-0では、データ入力I0とバタフライ演算器23C-1の出力信号 $btf1a_out$ ($= MEMR6 - MEMR7 + MEMR0 - MEMR1$) のうち、入力データI0を選択するように制御信号W0SELが供給され、これにより選択されたデータが信号 $MEMW0 = I0$ として出力される。

【0225】

出力選択装置25C-1においては、データ入力I1とバタフライ演算器23C-1の出力信号 $btf1b_out$ ($= MEMR6 - MEMR7 - MEMR0 + MEMR1$) のうち、バタフライ演算器23C-1の出力信号 $btf1b_out$ を選択するように制御信号W1SELが供給され、これにより選択されたデータが信号 $MEMW1 = MEMR6 - MEMR7 - MEMR0 + MEMR1$ として出力される。

【0226】

出力選択装置25C-6においては、データ入力I6とバタフライ演算器23C-7の出力信号 $btf7a_out$ ($= MEMR6 + MEMR7 + MEMR0 + MEMR1$) のうち、バタフライ演算器23C-7の出力信号 $btf7a_out$ を選択するように制御信号W6SELが供給され、これにより選択されたデータが信号 $MEMW6 = MEMR0 + MEMR1 + MEMR6 + MEMR7$ として出力される。

【0227】

また、出力選択装置25C-7では、データ入力I7とバタフライ演算器23C-7の出力信号 $btf7b_out$ ($= MEMR6 + MEMR7 - MEMR0 - MEMR1$) のうち、入力データI7を選択するように制御信号W7SELが供給され、これにより選択されたデータが信号 $MEMW7 = I7$ として出力される。

【0228】

以上のように、本第6の実施形態に係る16入力16出力の演算装置20Cによれば、上述した第3の実施形態の効果と同様の効果を得ることができる。

【0229】

なお、本第6の実施形態においては、データ入力MEMR0～MEMR7の入力段に単項演算器、たとえばシフト演算器を、上述した第3～第5の実施形態と同様に、配置することが可能である。

この場合、単項演算器SFT0, SFT1, SFT2, SFT3, SFT4, SFT5, SFT6, SFT7は、それぞれたとえば制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MDを入力とし、MEMR0, MEMR1, MEMR2, MEMR3, MEMR4, MEMR5, MEMR6, MEMR7の値を、制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MDの値に応じて単項演算を行い、その結果を入力選択装置22C-0～22C-7 (RSEL0～RSEL7)、出力選択装置24C-0～24C-7 (DSEL0～DSEL7) に出力するように構成される。

ただし、ここで単項演算器は、左または右に任意ビットシフトする演算で実現される演算器である。

【0230】

第7実施形態

図9は、本発明に係る演算装置の第7の実施形態を示す構成図である。

【0231】

図9の演算装置20Dは、構成情報に基づいて再構成可能な演算装置であって、16入力16出力の演算を行い、バタフライ演算を実行可能に構成されている。

【0232】

本演算装置20Dは、入力選択装置 (RSEL0) 22D-0、入力選択装置 (RSEL1) 22D-1、入力選択装置 (RSEL2) 22D-2、入力選択装置 (RSEL3) 22D-3、入力選択装置 (RSEL4) 22D-4、入力

選択装置 (RSEL5) 22D-5、入力選択装置 (RSEL6) 22D-6、入力選択装置 (RSEL7) 22D-7、バタフライ演算器 (BTF0) 23D-0、バタフライ演算器 (BTF1) 23D-1、バタフライ演算器 (BTF2) 23D-2、バタフライ演算器 (BTF3) 23D-3、バタフライ演算器 (BTF4) 23D-4、バタフライ演算器 (BTF5) 23D-5、バタフライ演算器 (BTF6) 23D-6、出力選択装置 (DSEL0) 24D-0、出力選択装置 (DSEL1) 24D-1、出力選択装置 (DSEL2) 24D-2、出力選択装置 (DSEL3) 24D-3、出力選択装置 (DSEL4) 24D-4、出力選択装置 (DSEL5) 24D-5、出力選択装置 (DSEL6) 24D-6、出力選択装置 (DSEL7) 24D-7、出力選択装置 (WSEL0) 25D-0、出力選択装置 (WSEL1) 25D-1、出力選択装置 (WSEL2) 25D-2、出力選択装置 (WSEL3) 25D-3、出力選択装置 (WSEL4) 25D-4、出力選択装置 (WSEL5) 25D-5、出力選択装置 (WSEL6) 25D-6、および出力選択装置 (WSEL7) 25D-7を有している。

【0233】

そして、演算装置20Dは、データ入力MEMR0, MEMR1, MEMR2, MEMR3, MEMR4, MEMR5, MEMR6, MEMR7, I0, I1, I2, I3, I4, I5, I6, I7、およびデータ出力MEMW0, MEMW1, MEMW2, MEMW3, MEMW4, MEMW5, MEMW6, MEMW7, D0, D1, D2, D3, D4, D5, D6, D7を有し、また、再構成のための制御信号BTFMD0, BTFMD1, BTFMD2, BTFMD3, BTFMD4, BTFMD5, BTFMD6, R0SEL, R1SEL, R2SEL, R3SEL, R4SEL, R5SEL, R6SEL, R7SEL, W0SEL, W1SEL, W2SEL, W3SEL, W4SEL, W5SEL, W6SEL, W7SEL, D0SEL, D1SEL, D2SEL, D3SEL, D4SEL, D5SEL, D6SEL, D7SELが供給される。

【0234】

入力選択装置22D-0は、制御信号R0SELに応じて、データ入力MEM

R0およびデータ入力I0のいずれかを選択し、信号r0sel_outとしてバタフライ演算器23D-0に出力する。

【0235】

入力選択装置22D-1は、制御信号R1SELに応じて、データ入力MEMR1およびデータ入力I1のいずれかを選択し、信号r1sel_outとしてバタフライ演算器23D-0に出力する。

【0236】

入力選択装置22D-2は、制御信号R2SELに応じて、データ入力MEMR2およびデータ入力I2のいずれかを選択し、信号r2sel_outとしてバタフライ演算器23D-1に出力する。

【0237】

入力選択装置22D-3は、制御信号R3SELに応じて、データ入力MEMR3およびデータ入力I3のいずれかを選択し、信号r3sel_outとしてバタフライ演算器23D-1に出力する。

【0238】

入力選択装置22D-4は、制御信号R4SELに応じて、データ入力MEMR4およびデータ入力I4のいずれかを選択し、信号r4sel_outとしてバタフライ演算器23D-2に出力する。

【0239】

入力選択装置22D-5は、制御信号R5SELに応じて、データ入力MEMR5およびデータ入力I5のいずれかを選択し、信号r5sel_outとしてバタフライ演算器23D-2に出力する。

【0240】

入力選択装置22D-6は、制御信号R6SELに応じて、データ入力MEMR6およびデータ入力I6のいずれかを選択し、信号r6sel_outとしてバタフライ演算器23D-3に出力する。

【0241】

入力選択装置22D-7は、制御信号R7SELに応じて、データ入力MEMR7およびデータ入力I7のいずれかを選択し、信号r7sel_outとしてバ

タフライ演算器23D-3に出力する。

【0242】

バタフライ演算器23D-0は、入力端子DAに入力選択装置22D-0の出力信号r0sel_outを入力し、入力端子DBに入力選択装置22D-1の出力信号r1sel_outを入力し、制御端子CTLに供給される制御信号BTMD0の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btfa_outとしてバタフライ演算器23D-4、出力選択装置24D-0、および25D-0に出力し、他方の演算結果を出力端子OBから信号btfb_outとして出力選択装置24D-1および25D-1に出力する。

【0243】

バタフライ演算器23D-1は、入力端子DAに入力選択装置22D-2の出力信号r2sel_outを入力し、入力端子DBに入力選択装置22D-3の出力信号r3sel_outを入力し、制御端子CTLに供給される制御信号BTMD1の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btfa_outとしてバタフライ演算器23D-4、出力選択装置24D-2、および25D-2に出力し、他方の演算結果を出力端子OBから信号btfb_outとして出力選択装置24D-3および25D-3に出力する。

【0244】

バタフライ演算器23D-2は、入力端子DAに入力選択装置22D-4の出力信号r4sel_outを入力し、入力端子DBに入力選択装置22D-5の出力信号r5sel_outを入力し、制御端子CTLに供給される制御信号BTMD2の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号btfa_outとしてバタフライ演算器23D-5、出力選択装置24D-4、および25D-4に出力し、他方の演算結果を出力端子OBから信号btfb_outとして出力選択装置24D-5および25D-5に出力する。

【0245】

バタフライ演算器23D-3は、入力端子DAに入力選択装置22D-6の出力信号r6sel_outを入力し、入力端子DBに入力選択装置22D-7の出力信号r7sel_outを入力し、制御端子CTLに供給される制御信号BTMD3の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号bt f3a_outとしてバタフライ演算器23D-5、出力選択装置24D-6、および25D-6に出力し、他方の演算結果を出力端子OBから信号bt f3b_outとして出力選択装置24D-7および25D-7に出力する。

【0246】

バタフライ演算器23D-4は、入力端子DAにバタフライ演算器23D-0の出力信号bt f0a_outを入力し、入力端子DBにバタフライ演算器23D-1の出力信号bt f1a_outを入力し、制御端子CTLに供給される制御信号BT FMD4の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号bt f4a_outとしてバタフライ演算器23D-6、出力選択装置25D-0および25D-2に出力し、他方の演算結果を出力端子OBから信号bt f4b_outとして出力選択装置25D-1および25D-3に出力する。

【0247】

バタフライ演算器23D-5は、入力端子DAにバタフライ演算器23D-2の出力信号bt f2a_outを入力し、入力端子DBにバタフライ演算器23D-3の出力信号bt f3a_outを入力し、制御端子CTLに供給される制御信号BT FMD5の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号bt f5a_outとしてバタフライ演算器23D-6、出力選択装置25D-4および25D-6に出力し、他方の演算結果を出力端子OBから信号bt f5b_outとして出力選択装置25D-5および25D-7に出力する。

【0248】

バタフライ演算器23D-6は、入力端子DAにバタフライ演算器23D-4の出力信号bt f4a_outを入力し、入力端子DBにバタフライ演算器23D

– 5の出力信号 $b_{tf5}a_{out}$ を入力し、制御端子 C T L に供給される制御信号 B T F M D 6 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 $b_{tf6}a_{out}$ として出力選択装置 2 5 D – 0、2 5 D – 2、2 5 D – 4、および 2 5 D – 6 に出力し、他方の演算結果を出力端子 O B から信号 $b_{tf6}b_{out}$ として出力選択装置 2 5 D – 1、2 5 D – 3、2 5 D – 5、および 2 5 D – 7 に出力する。

【0249】

具体的には、バタフライ演算器 2 3 D – 1 ($l = 0, 1, 2, 3$) は、制御信号 B T F M D 1 の値により、以下のいずれかの演算を選択的に行う。

【0250】

【数10】

```

btf[1] a_out = r[l+1] sel_out, btf[1] b_out = r[l] sel_out
btf[1] a_out = r[l+1] sel_out, btf[1] b_out = -r[l] sel_out
btf[1] a_out = -r[l+1] sel_out, btf[1] b_out = r[l] sel_out
btf[1] a_out = -r[l+1] sel_out, btf[1] b_out = -r[l] sel_out
btf[1] a_out = r[l] sel_out, btf[1] b_out = r[l+1] sel_out
btf[1] a_out = r[l] sel_out, btf[1] b_out = -r[l+1] sel_out
btf[1] a_out = -r[l] sel_out, btf[1] b_out = r[l+1] sel_out
btf[1] a_out = -r[l] sel_out, btf[1] b_out = -r[l+1] sel_out
btf[1] a_out = r[l] sel_out + r[l+1] sel_out, btf[1] b_out
            = r[l] sel_out - r[l+1] sel_out
btf[1] a_out = r[l] sel_out + r[l+1] sel_out, btf[1] b_out
            = r[l+1] sel_out - r[l] sel_out
btf[1] a_out = r[l] sel_out - r[l+1] sel_out, btf[1] b_out
            = r[l] sel_out + r[l+1] sel_out
btf[1] a_out = r[l+1] sel_out - r[l] sel_out, btf[1] b_out
            = r[l] sel_out + r[l+1] sel_out

```

【0251】

また、バタフライ演算器 2 3 D – 4 は、制御信号 B T F M D 4 の値により、以

下のいずれかの演算を選択的に行う。

【0252】

【数11】

```

btf4a_out = btf0a_out, btf4b_out = btf1a_out
btf4a_out = btf0a_out, btf4b_out = -btf1a_out
btf4a_out = -btf0a_out, btf4b_out = btf1a_out
btf4a_out = -btf0a_out, btf4b_out = -btf1a_out
btf4a_out = btf0a_out, btf4b_out = btf1a_out
btf4a_out = btf0a_out, btf4b_out = -btf1a_out
btf4a_out = -btf0a_out, btf4b_out = btf1a_out
btf4a_out = -btf0a_out, btf4b_out = -btf1a_out
btf4a_out = btf1a_out + btf0a_out, btf4b_out
        = btf1a_out - btf0a_out
btf4a_out = btf1a_out + btf0a_out, btf4b_out
        = btf0a_out - btf1a_out
btf4a_out = btf1a_out - btf0a_out, btf4b_out
        = btf1a_out + btf0a_out
btf4a_out = btf0a_out - btf1a_out, btf4b_out
        = btf1a_out + btf0a_out

```

【0253】

また、バタフライ演算器23D-5は、制御信号BTMD5の値により、以下のいずれかの演算を選択的に行う。

【0254】

【数12】

```

btf5a_out = btf2a_out, btf5b_out = btf3a_out
btf5a_out = btf2a_out, btf5b_out = -btf3a_out
btf5a_out = -btf2a_out, btf5b_out = btf3a_out
btf5a_out = -btf2a_out, btf5b_out = -btf3a_out
btf5a_out = btf2a_out, btf5b_out = btf3a_out

```

```

btf5a_out = btf2a_out, btf5b_out = -btf3a_out
btf5a_out = -btf2a_out, btf5b_out = btf3a_out
btf5a_out = -btf2a_out, btf5b_out = -btf3a_out
btf5a_out = btf3a_out + btf2a_out, btf5b_out
= btf3a_out - btf2a_out
btf5a_out = btf3a_out + btf2a_out, btf5b_out
= btf2a_out - btf3a_out
btf5a_out = btf3a_out - btf2a_out, btf5b_out
= btf3a_out + btf2a_out
btf5a_out = btf2a_out - btf3a_out, btf5b_out
= btf3a_out + btf2a_out

```

【0255】

出力選択装置24D-0は、制御信号D0SELに応じて、データ入力MEMR0とバタフライ演算器23D-0の出力信号btf0a_outのいずれかを選択し、信号D0として出力する。

【0256】

出力選択装置24D-1は、制御信号D1SELに応じて、データ入力MEMR1とバタフライ演算器23D-0の出力信号btf0b_outのいずれかを選択し、信号D1として出力する。

【0257】

出力選択装置24D-2は、制御信号D2SELに応じて、データ入力MEMR2とバタフライ演算器23D-1の出力信号btf1a_outのいずれかを選択し、信号D2として出力する。

【0258】

出力選択装置24D-3は、制御信号D3SELに応じて、データ入力MEMR3とバタフライ演算器23D-1の出力信号btf1b_outのいずれかを選択し、信号D3として出力する。

【0259】

出力選択装置24D-4は、制御信号D4SELに応じて、データ入力MEM

R4とバタフライ演算器23D-2の出力信号btfa_outのいずれかを選択し、信号D4として出力する。

【0260】

出力選択装置24D-5は、制御信号D5SELに応じて、データ入力MEMR5とバタフライ演算器23D-2の出力信号btfb_outのいずれかを選択し、信号D5として出力する。

【0261】

出力選択装置24D-6は、制御信号D6SELに応じて、データ入力MEMR6とバタフライ演算器23D-3の出力信号btfa_outのいずれかを選択し、信号D6として出力する。

【0262】

出力選択装置24D-7は、制御信号D7SELに応じて、データ入力MEMR7とバタフライ演算器23D-3の出力信号btfb_outのいずれかを選択し、信号D7として出力する。

【0263】

出力選択装置25D-0は、制御信号W0SELに応じて、データ入力I0とバタフライ演算器23D-0の出力信号btfa_outとバタフライ演算器23D-4の出力信号btfa_outとバタフライ演算器23D-6の出力信号btfa_outのいずれかを選択し、信号MEMW0として出力する。

【0264】

出力選択装置25D-1は、制御信号W1SELに応じて、データ入力I1とバタフライ演算器23D-0の出力信号btfb_outとバタフライ演算器23D-4の出力信号btfb_outとバタフライ演算器23D-6の出力信号btfb_outのいずれかを選択し、信号MEMW1として出力する。

【0265】

出力選択装置25D-2は、制御信号W2SELに応じて、データ入力I2とバタフライ演算器23D-1の出力信号btfa_outとバタフライ演算器23D-4の出力信号btfa_outとバタフライ演算器23D-6の出力信号btfa_outのいずれかを選択し、信号MEMW2として出力する。

【0266】

出力選択装置25D-3は、制御信号W3SELに応じて、データ入力I3とバタフライ演算器23D-1の出力信号bt f1b_outとバタフライ演算器23D-4の出力信号bt f4b_outとバタフライ演算器23D-6の出力信号bt f6b_outのいずれかを選択し、信号MEMW3として出力する。

【0267】

出力選択装置25D-4は、制御信号W4SELに応じて、データ入力I4とバタフライ演算器23D-2の出力信号bt f2a_outとバタフライ演算器23D-5の出力信号bt f5a_outとバタフライ演算器23D-6の出力信号bt f6a_outのいずれかを選択し、信号MEMW4として出力する。

【0268】

出力選択装置25D-5は、制御信号W5SELに応じて、データ入力I5とバタフライ演算器23D-2の出力信号bt f2b_outとバタフライ演算器23D-5の出力信号bt f5b_outとバタフライ演算器23D-6の出力信号bt f6b_outのいずれかを選択し、信号MEMW5として出力する。

【0269】

出力選択装置25D-6は、制御信号W6SELに応じて、データ入力I6とバタフライ演算器23D-3の出力信号bt f3a_outとバタフライ演算器23D-5の出力信号bt f5a_outとバタフライ演算器23D-6の出力信号bt f6a_outのいずれかを選択し、信号MEMW6として出力する。

【0270】

出力選択装置25D-7は、制御信号W7SELに応じて、データ入力I7とバタフライ演算器23D-3の出力信号bt f3b_outとバタフライ演算器23D-5の出力信号bt f5b_outとバタフライ演算器23D-6の出力信号bt f6b_outのいずれかを選択し、信号MEMW7として出力する。

【0271】

次に、上記構成による動作を説明する。

なおここでは、たとえば以下のように全ての出力D0～D7, MEMW0～MEMW7を得る場合を例に、装置全体の動作を説明する。

D0 = MEMR0 + MEMR1,
 D1 = MEMR1,
 D2 = MEMR2,
 D3 = MEMR2 - MEMR3,
 D4 = MEMR4 + MEMR5,
 D5 = MEMR5,
 D6 = MEMR6 + MEMR7,
 D7 = MEMR6 - MEMR7,
 MEMW0 = I0
 MEMW1 = MEMR0 + MEMR1 - MEMR2 - MEMR3,
 MEMW2 = MEMR0 + MEMR1 + MEMR2 + MEMR3,
 MEMW3 = I3
 MEMW4 = MEMR0 + MEMR1 + MEMR2 + MEMR3 + MEMR4 + MEMR5 + MEMR6 + MEMR7,
 MEMW5 = MEMR4 + MEMR5 - MEMR6 - MEMR7,
 MEMW6 = I6
 MEMW7 = MEMR0 + MEMR1 + MEMR2 + MEMR3 - MEMR4 - MEMR5 - MEMR6 - MEMR7

【0272】

この場合、入力選択装置22D-0では、制御信号R0SELにより、データ入力MEMR0を選択するように制御され、選択されたデータMEMR0が信号r0sel_outとして、バタフライ演算器23D-0の入力端子DAに供給される。

入力選択装置22D-1では、制御信号R1SELにより、MEMR1を選択するように制御され、選択されたデータMEMR1が信号r1sel_outとして、バタフライ演算器23D-0の入力端子DBに供給される。

【0273】

また、入力選択装置22D-2では、制御信号R2SELにより、MEMR2を選択するように制御され、選択されたデータMEMR2が信号r2sel_out

t として、バタフライ演算器23D-1の入力端子DAに供給される。

入力選択装置22D-3では、制御信号R3SELにより、MEMR3を選択するように制御され、選択されたデータMEMR3が信号r3sel_outとして、バタフライ演算器23D-1の入力端子DBに供給される。

【0274】

また、入力選択装置22D-4では、制御信号R4SELにより、MEMR4を選択するように制御され、選択されたデータMEMR4が信号r4sel_outとして、バタフライ演算器23D-2の入力端子DAに供給される。

入力選択装置22D-5では、制御信号R5SELにより、MEMR5を選択するように制御され、選択されたデータMEMR5が信号r5sel_outとして、バタフライ演算器23D-2の入力端子DBに供給される。

【0275】

また、入力選択装置22D-6では、制御信号R6SELにより、MEMR6を選択するように制御され、選択されたデータMEMR6が信号r6sel_outとして、バタフライ演算器23D-3の入力端子DAに供給される。

入力選択装置22D-7では、制御信号R7SELにより、MEMR7を選択するように制御され、選択されたデータMEMR7が信号r7sel_outとして、バタフライ演算器23D-3の入力端子DBに供給される。

【0276】

バタフライ演算器23D-0では、制御端子CTLに供給される制御信号BT FMD0により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23D-0においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1とが加算され、その結果である (MEMR0 + MEMR1) が出力端子OAから信号btfout として、バタフライ演算器23D-4の入力端子DA、出力選択装置24D-0および25D-0に出力される。

また、バタフライ演算器23D-0においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1との差がとられ、

その結果である (MEMR0-MEMR1) が出力端子OBから信号btfo_b_outとして、出力選択装置24D-1および25D-1に出力される。

【0277】

バタフライ演算器23D-1では、制御端子CTLに供給される制御信号BT FMD1により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23D-1においては、入力端子DAに供給されたデータMEMR2と入力端子DBに供給されたデータMEMR3とが加算され、その結果である (MEMR2+MEMR3) が出力端子OAから信号btfa_outとして、バタフライ演算器23D-4の入力端子DB、出力選択装置24D-2および25D-2に出力される。

また、バタフライ演算器23D-1においては、入力端子DAに供給されたデータMEMR2と入力端子DBに供給されたデータMEMR3との差がとられ、その結果である (MEMR2-MEMR3) が出力端子OBから信号btfb_outとして、出力選択装置24D-3および25D-3に出力される。

【0278】

バタフライ演算器23D-2では、制御端子CTLに供給される制御信号BT FMD2により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23D-2においては、入力端子DAに供給されたデータMEMR4と入力端子DBに供給されたデータMEMR5とが加算され、その結果である (MEMR4+MEMR5) が出力端子OAから信号btfa_outとして、バタフライ演算器23D-5の入力端子DA、出力選択装置24D-4および25D-4に出力される。

また、バタフライ演算器23D-2においては、入力端子DAに供給されたデータMEMR4と入力端子DBに供給されたデータMEMR5との差がとられ、その結果である (MEMR4-MEMR5) が出力端子OBから信号btfb_outとして、出力選択装置24D-5および25D-5に出力される。

【0279】

バタフライ演算器23D-3では、制御端子CTLに供給される制御信号BT FMD3により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23D-3においては、入力端子DAに供給されたデータMEMR6と入力端子DBに供給されたデータMEMR7とが加算され、その結果である($MEMR6 + MEMR7$)が出力端子OAから信号bt f 3 a_outとして、バタフライ演算器23D-5の入力端子DB、出力選択装置24D-6および25D-6に出力される。

また、バタフライ演算器23D-3においては、入力端子DAに供給されたデータMEMR6と入力端子DBに供給されたデータMEMR6との差がとられ、その結果である($MEMR6 - MEMR7$)が出力端子OBから信号bt f 3 b_outとして、出力選択装置24D-7および25D-7に出力される。

【0280】

バタフライ演算器23D-4では、制御端子CTLに供給される制御信号BT FMD4により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23D-4においては、入力端子DAに供給されたデータ($MEMR0 + MEMR1$)と入力端子DBに供給されたデータ($MEMR2 + MEMR3$)とが加算され、その結果である($MEMR0 + MEMR1 + MEMR2 + MEMR3$)が出力端子OAから信号bt f 4 a_outとして、バタフライ演算器23D-6の入力端子DA、出力選択装置25D-0および25D-2に出力される。

また、バタフライ演算器23D-4においては、入力端子DAに供給されたデータ($MEMR0 + MEMR1$)と入力端子DBに供給されたデータ($MEMR2 + MEMR3$)との差がとられ、その結果である($MEMR0 + MEMR1 - MEMR2 - MEMR3$)が出力端子OBから信号bt f 4 b_outとして、出力選択装置25D-1および25D-3に出力される。

【0281】

バタフライ演算器23D-5では、制御端子CTLに供給される制御信号BT

FMD 5により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23D-5においては、入力端子DAに供給されたデータ($MEMR4 + MEMR5$)と入力端子DBに供給されたデータ($MEMR6 + MEMR7$)とが加算され、その結果である($MEMR4 + MEMR5 + MEMR6 + MEMR7$)が出力端子OAから信号 $btfa_{out}$ として、バタフライ演算器23D-6の入力端子DB、出力選択装置25D-4および25D-6に出力される。

また、バタフライ演算器23D-5においては、入力端子DAに供給されたデータ($MEMR4 + MEMR5$)と入力端子DBに供給されたデータ($MEMR6 + MEMR7$)との差がとられ、その結果である($MEMR4 + MEMR5 - MEMR6 - MEMR7$)が出力端子OBから信号 $btfb_{out}$ として、出力選択装置25D-5および25D-7に出力される。

【0282】

そして、バタフライ演算器23D-6では、制御端子CTLに供給される制御信号BT FMD 6により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23D-6においては、入力端子DAに供給されたデータ($MEMR0 + MEMR1 + MEMR2 + MEMR3$)と入力端子DBに供給されたデータ($MEMR4 + MEMR5 + MEMR6 + MEMR7$)とが加算され、その結果である($MEMR0 + MEMR1 + MEMR2 + MEMR3 + MEMR4 + MEMR5 + MEMR6 + MEMR7$)が出力端子OAから信号 $btfa_{out}$ として、出力選択装置25D-0、25D-2、25D-4および25D-6に出力される。

また、バタフライ演算器23D-6においては、入力端子DAに供給されたデータ($MEMR0 + MEMR1 + MEMR2 + MEMR3$)と入力端子DBに供給されたデータ($MEMR4 + MEMR5 + MEMR6 + MEMR7$)との差がとられ、その結果である($MEMR0 + MEMR1 + MEMR2 + MEMR3 - MEMR4 - MEMR5 - MEMR6 - MEMR7$)が出力端子OBから信号 b

$t f 6 b_{out}$ として、出力選択装置 25D-1、25D-3、25D-5 および 25D-7 に出力される。

【0283】

出力選択装置 24D-0においては、データ入力 MEMR0 とバタフライ演算器 23D-0 の出力信号 $b t f 0 a_{out}$ ($=MEMR0 + MEMR1$) のうち、バタフライ演算器 23D-0 の出力信号 $b t f 0 a_{out}$ を選択するように制御信号 D0SEL が供給され、これにより選択されたデータが信号 $D0 = MEMR0 + MEMR1$ として出力される。

【0284】

出力選択装置 24D-1においては、データ入力 MEMR1 とバタフライ演算器 23D-0 の出力信号 $b t f 0 b_{out}$ ($=MEMR0 - MEMR1$) のうち、データ入力 MEMR1 を選択するように制御信号 D1SEL が供給され、これにより選択されたデータが信号 $D1 = MEMR1$ として出力される。

【0285】

出力選択装置 24D-2においては、データ入力 MEMR2 とバタフライ演算器 23D-1 の出力信号 $b t f 1 a_{out}$ ($=MEMR2 + MEMR3$) のうち、データ入力 MEMR2 を選択するように制御信号 D2SEL が供給され、これにより選択されたデータが信号 $D2 = MEMR2$ として出力される。

【0286】

出力選択装置 24D-3においては、データ入力 MEMR3 とバタフライ演算器 23D-1 の出力信号 $b t f 1 b_{out}$ ($=MEMR2 - MEMR3$) のうち、バタフライ演算器 23D-1 の出力信号 $b t f 1 b_{out}$ を選択するように制御信号 D3SEL が供給され、これにより選択されたデータが信号 $D3 = MEMR2 - MEMR3$ として出力される。

【0287】

出力選択装置 24D-4においては、データ入力 MEMR4 とバタフライ演算器 23D-2 の出力信号 $b t f 2 a_{out}$ ($=MEMR4 + MEMR5$) のうち、バタフライ演算器 23D-2 の出力信号 $b t f 2 a_{out}$ を選択するように制御信号 D4SEL が供給され、これにより選択されたデータが信号 $D4 = MEMR4 + MEMR5$ として出力される。

R4+MEMR5として出力される。

【0288】

出力選択装置24D-5においては、データ入力MEMR5とバタフライ演算器23D-2の出力信号bt f2b_out(=MEMR4-MEMR5)のうち、データ入力MEMR5を選択するように制御信号D5SELが供給され、これにより選択されたデータが信号D5=MEMR5として出力される。

【0289】

出力選択装置24D-6においては、データ入力MEMR6とバタフライ演算器23D-3の出力信号bt f3a_out(=MEMR6+MEMR7)のうち、バタフライ演算器23D-3の出力信号bt f3a_outを選択するように制御信号D6SELが供給され、これにより選択されたデータが信号D6=MEMR6+MEMR7として出力される。

【0290】

出力選択装置24D-7においては、データ入力MEMR7とバタフライ演算器23D-3の出力信号bt f3b_out(=MEMR6-MEMR7)のうち、バタフライ演算器23D-3の出力信号bt f3b_outを選択するように制御信号D7SELが供給され、これにより選択されたデータが信号D7=MEMR6-MEMR7として出力される。

【0291】

また、出力選択装置25D-0では、データ入力I0とバタフライ演算器23D-0の出力信号bt f0a_out(=MEMR0+MEMR1)とバタフライ演算器23D-4の出力信号bt f4a_out(=MEMR0+MEMR1+MEMR2+MEMR3)とバタフライ演算器23D-6の出力信号bt f6a_out(=MEMR0+MEMR1+MEMR2+MEMR3+MEMR4+MEMR5+MEMR6+MEMR7)のうち、入力データI0を選択するように制御信号W0SELが供給され、これにより選択されたデータが信号MEMW0=I0として出力される。

【0292】

また、出力選択装置25D-1では、データ入力I1とバタフライ演算器23

D-0の出力信号 $b_t f 0 b_{out}$ ($=MEMR0-MEMR1$) とバタフライ演算器23 D-4の出力信号 $b_t f 4 b_{out}$ ($=MEMR0+MEMR1-MEMR2-MEMR3$) とバタフライ演算器23 D-6の出力信号 $b_t f 6 b_{out}$ ($=MEMR0+MEMR1+MEMR2+MEMR3-MEMR4-MEMR5-MEMR6-MEMR7$) のうち、バタフライ演算器23 D-4の出力信号 $b_t f 4 b_{out}$ を選択するように制御信号W1 SELが供給され、これにより選択されたデータが信号MEMW1= $MEMR0+MEMR1-MEMR2-MEMR3$ として出力される。

【0293】

また、出力選択装置25 D-2では、データ入力I2とバタフライ演算器23 D-1の出力信号 $b_t f 1 a_{out}$ ($=MEMR2+MEMR3$) とバタフライ演算器23 D-4の出力信号 $b_t f 4 a_{out}$ ($=MEMR0+MEMR1+MEMR2+MEMR3$) とバタフライ演算器23 D-6の出力信号 $b_t f 6 a_{out}$ ($=MEMR0+MEMR1+MEMR2+MEMR3+MEMR4+MEMR5+MEMR6+MEMR7$) のうち、バタフライ演算器23 D-4の出力信号 $b_t f 4 a_{out}$ を選択するように制御信号W2 SELが供給され、これにより選択されたデータが信号MEMW2= $MEMR0+MEMR1+MEMR2+MEMR3$ として出力される。

【0294】

また、出力選択装置25 D-3では、データ入力I3とバタフライ演算器23 D-1の出力信号 $b_t f 0 b_{out}$ ($=MEMR2-MEMR3$) とバタフライ演算器23 D-4の出力信号 $b_t f 4 b_{out}$ ($=MEMR0+MEMR1-MEMR2-MEMR3$) とバタフライ演算器23 D-6の出力信号 $b_t f 6 b_{out}$ ($=MEMR0+MEMR1+MEMR2+MEMR3-MEMR4-MEMR5-MEMR6-MEMR7$) のうち、入力データI3を選択するように制御信号W3 SELが供給され、これにより選択されたデータが信号MEMW3=I3として出力される。

【0295】

また、出力選択装置25 D-4では、データ入力I4とバタフライ演算器23

D-2の出力信号 $b_t f 2 a_{out}$ ($=MEMR4 + MEMR5$) とバタフライ演算器23D-5の出力信号 $b_t f 5 a_{out}$ ($=MEMR4 + MEMR5 + MEMR6 + MEMR7$) とバタフライ演算器23D-6の出力信号 $b_t f 6 a_{out}$ ($=MEMR0 + MEMR1 + MEMR2 + MEMR3 + MEMR4 + MEMR5 + MEMR6 + MEMR7$) のうち、バタフライ演算器23D-6の出力信号 $b_t f 6 a_{out}$ を選択するように制御信号W4SELが供給され、これにより選択されたデータが信号 $MEMW4 = MEMR0 + MEMR1 + MEMR2 + MEMR3 + MEMR4 + MEMR5 + MEMR6 + MEMR7$ として出力される。

【0296】

また、出力選択装置25D-5では、データ入力I5とバタフライ演算器23D-2の出力信号 $b_t f 2 b_{out}$ ($=MEMR4 - MEMR5$) とバタフライ演算器23D-5の出力信号 $b_t f 5 b_{out}$ ($=MEMR4 + MEMR5 - MEMR6 - MEMR7$) とバタフライ演算器23D-6の出力信号 $b_t f 6 b_{out}$ ($=MEMR0 + MEMR1 + MEMR2 + MEMR3 - MEMR4 - MEMR5 - MEMR6 - MEMR7$) のうち、バタフライ演算器23D-5の出力信号 $b_t f 5 b_{out}$ を選択するように制御信号W5SELが供給され、これにより選択されたデータが信号 $MEMW5 = MEMR4 + MEMR5 - MEMR6 - MEMR7$ として出力される。

【0297】

また、出力選択装置25D-6では、データ入力I6とバタフライ演算器23D-3の出力信号 $b_t f 3 a_{out}$ ($=MEMR6 + MEMR7$) とバタフライ演算器23D-5の出力信号 $b_t f 5 a_{out}$ ($=MEMR4 + MEMR5 + MEMR6 + MEMR7$) とバタフライ演算器23D-6の出力信号 $b_t f 6 a_{out}$ ($=MEMR0 + MEMR1 + MEMR2 + MEMR3 + MEMR4 + MEMR5 + MEMR6 + MEMR7$) のうち、データ入力I6を選択するように制御信号W6SELが供給され、これにより選択されたデータが信号 $MEMW6 = I6$ として出力される。

【0298】

また、出力選択装置25D-7では、データ入力I7とバタフライ演算器23D-3の出力信号 $b_t f_3 b_{out}$ ($=MEMR_6 - MEMR_7$) とバタフライ演算器23D-5の出力信号 $b_t f_5 b_{out}$ ($=MEMR_4 + MEMR_5 - MEMR_6 - MEMR_7$) とバタフライ演算器23D-6の出力信号 $b_t f_6 b_{out}$ ($=MEMR_0 + MEMR_1 + MEMR_2 + MEMR_3 - MEMR_4 - MEMR_5 - MEMR_6 - MEMR_7$) のうち、バタフライ演算器23D-6の出力信号 $b_t f_6 b_{out}$ を選択するように制御信号W7SELが供給され、これにより選択されたデータが信号 $MEMW_7 = MEMR_0 + MEMR_1 + MEMR_2 + MEMR_3 - MEMR_4 - MEMR_5 - MEMR_6 - MEMR_7$ として出力される。

【0299】

以上のように、本第7の実施形態に係る16入力16出力の演算装置20Dによれば、上述した第3の実施形態の効果と同様の効果を得ることができる。

【0300】

なお、本第7の実施形態においては、データ入力 $MEMR_0 \sim MEMR_7$ の入力段に単項演算器、たとえばシフト演算器を、上述した第3～第5の実施形態と同様に、配置することが可能である。

この場合、単項演算器SFT0, SFT1, SFT2, SFT3, SFT4, SFT5, SFT6, SFT7は、それぞれたとえば制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MDを入力とし、 $MEMR_0, MEMR_1, MEMR_2, MEMR_3, MEMR_4, MEMR_5, MEMR_6, MEMR_7$ の値を、制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MDの値に応じて単項演算を行い、その結果を入力選択装置22D-0～22D-7 (RSEL0～RSEL7) 、出力選択装置24D-0～24D-7 (DSEL0～DSEL7) に出力するように構成される。

ただし、ここで単項演算器は、左または右に任意ビットシフトする演算で実現される演算器である。

【0301】

第8実施形態

図10は、本発明に係る演算装置の第8の実施形態を示す構成図である。

図10の演算装置30は、上述した第1および第2の実施形態に係るALUおよびMACを含む第1の演算装置と、第3～第7の実施形態に係るバタフライ演算器を含む第2の演算装置とを再構成可能に結合することで、データ読み出し、演算、データ書き込みの1サイクルで信号処理演算を効率良く実行可能に構成されている。

【0302】

本第8の実施形態に係る演算装置30は、図10に示すように、ALUおよびMACを含む第1の演算装置(PU)31、およびバタフライ演算器を含む第2の演算装置(BTFL)32を主構成要素として有している。

【0303】

第1の演算装置31は、たとえば図2の演算装置を4つカスケード接続した図4の演算装置と同様の構成を有しており、データ入力DOI, D1I, D2I, D3I、係数入力COE0, COE1, COE2, COE3、およびデータ出力OT0, OT1, OT2, OT3を有し、再構成のための制御信号CTRL0, CTRL1, CTRL2, CTRL3が供給される。

そして、各制御信号には、演算制御信号ASEL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号C0DL, C1DL, C2DL, C3DL、D0DL, D1DL, D2DL, D3DLが含まれる。

【0304】

第2の演算装置32は、データ入力MEMR0, MEMR1, MEMR2, MEMR3、演算結果入力I0, I1, I2, I3、データ出力D0, D1, D2, D3、およびMEMW0, MEMW1, MEMW2, MEMW3を有し、再構成のための制御信号CTRLBが供給される。

たとえば第4の実施形態の場合を例にとると、制御信号CTRLBには、SFT0MD, ROSEL, BTFLMD0, DOSEL, WOSEL, SFT1MD

, R1SEL, BT FMD1, D1SEL, W1SEL, SFT2MD, R2SEL, BT FMD2, D2SEL, W2SEL、およびSFT3MD, R3SEL, BT FMD3, D3SEL, W3SELが含まれる。

【0305】

そして、第2の演算装置32のデータ入力MEMR0にデータR0が供給され、データ入力MEMR1にデータR1が供給され、データ入力MEMR2にデータR2が供給され、データ入力MEMR3にデータR3が供給される。

第2の演算装置32のデータ出力D0が第1の演算装置31のデータ入力D0Iに供給され、第2の演算装置32のデータ出力D1が第1の演算装置31のデータ入力D1Iに供給され、第2の演算装置32のデータ出力D2が第1の演算装置31のデータ入力D2Iに供給され、第2の演算装置32のデータ出力D3が第1の演算装置31のデータ入力D3Iに供給される。

また、第1の演算装置31のデータ出力OT0が第2の演算装置32のデータ入力I0に供給され、第1の演算装置31のデータ出力OT1が第2の演算装置32のデータ入力I1に供給され、第1の演算装置31のデータ出力OT2が第2の演算装置32のデータ入力I2に供給され、第1の演算装置31のデータ出力OT3が第2の演算装置32のデータ入力I3に供給される。

また、第2の演算装置32のデータ出力MEMW0からデータW0が出力され、データ出力MEMW1からデータW1が出力され、データ出力MEMW2からデータW2が出力され、データ出力MEMW3からデータW3が出力される。

【0306】

また、第1の演算装置31においては、以下の演算処理を同時（並列）に実行可能に構成されている。

【0307】

【数13】

$$OT0 = ((C0I \parallel C1I \parallel C2I \parallel C3I \parallel D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT1 \parallel OT2 \parallel OT3 \parallel 0) \circ p0 (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT0) \circ p1 (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT1 \parallel OT2 \parallel OT3 \parallel 0))$$
 、かつ、

OT1 = ((C0I || C1I || C2I || C3I || D0I || D1I || D2I || D3I || OT1 || OT2 || OT3 || 0) op2 (D0I || D1I || D2I || D3I || OT0) op3 (D0I || D1I || D2I || D3I || OT2 || OT3 || OT0 || 0))、かつ、

OT2 = ((C0I || C1I || C2I || C3I || D0I || D1I || D2I || D3I || OT1 || OT2 || OT3 || 0) op4 (D0I || D1I || D2I || D3I || OT0) op5 (D0I || D1I || D2I || D3I || OT3 || OT0 || OT1 || 0))、かつ、

OT3 = ((C0I || C1I || C2I || C3I || D0I || D1I || D2I || D3I || OT1 || OT2 || OT3 || 0) op6 (D0I || D1I || D2I || D3I || OT0) op7 (D0I || D1I || D2I || D3I || OT0 || OT1 || OT2 || 0))

【0308】

ただし、||は選択演算を、op0～op7は演算子を表している。またここで、演算子op0～op7は、以下のいずれかで定義される。

【0309】

【数14】

$$A \circ p B = A * B,$$

$$A \circ p B = A * -B,$$

$$A \circ p B = A + B,$$

$$A \circ p B = A - B,$$

$$A \circ p B = A \& B,$$

$$A \circ p B = A \mid B,$$

$$A \circ p B = A \wedge B,$$

【0310】

また、第2の演算装置32においては、以下の演算処理を同時（並列）に実行可能に構成されている。

【0311】

【数15】

MEMW0 = ((MEMR0 || I0) op0 (MEMR1 || I1)) || I0, かつ、

MEMW1 = ((MEMR0 || I0) op1 (MEMR1 || I1)) || I1, かつ、

MEMW2 = ((MEMR2 || I2) op2 (MEMR3 || I3)) || I2, かつ、

MEMW3 = ((MEMR2 || I2) op3 (MEMR3 || I3)) || I3, かつ、

D0 = ((MEMR0 || I0) op4 (MEMR1 || I1)) || MEMR0, かつ、

D1 = ((MEMR0 || I0) op5 (MEMR1 || I1)) || MEMR1, かつ、

D2 = ((MEMR2 || I2) op6 (MEMR3 || I3)) || MEMR2, かつ、

D3 = ((MEMR2 || I2) op7 (MEMR3 || I3)) || MEMR3

【0312】

ここでも、||は選択演算を、op0～op7は演算子を表している。またここで、演算子op0～op7は、以下のいずれかで定義される。

【0313】

【数16】

$$A \circ p B = A + B,$$

$$A \circ p B = A - B,$$

$$A \circ p B = -A + B,$$

$$A \circ p B = -A - B,$$

$$A \circ p B = A,$$

$$A \circ p B = -A,$$

$$A \circ p B = B,$$

$$A \circ p B = -B,$$

【0314】

次に、図10の演算装置の動作を、第1の演算装置31が図4の並列演算装置と同様の構成を有し、第2の演算装置32が図6の装置と同様の構成を有する場合を例に説明する。

【0315】

なお、ここでは、以下の演算を実行するものとする。

$$W_0 = R_0 + R_1,$$

$$W_1 = COE_0 * (R_0 - R_1) - COE_1 * (R_2 - R_3),$$

$$W_2 = R_2 + R_3,$$

$$W_3 = COE_2 * (R_0 - R_1) + COE_3 * (R_2 - R_3)$$

【0316】

まず、第2の演算装置32において、図6に示すように、たとえばシフト演算器21A-0, 21A-1, 21A-2, 21A-3のシフト量が、制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MDによりゼロに設定される。

したがって、シフト演算器21A-0の出力信号sft0_outはMEMR0、すなわちデータR0となり、入力選択装置22A-0および出力選択装置24A-0に供給される。

同様に、シフト演算器21A-1の出力信号sft1_outはMEMR1、すなわちR1となり、入力選択装置22A-1および出力選択装置24A-1に供給される。

シフト演算器21A-2の出力信号sft2_outはMEMR2、すなわちR2となり、入力選択装置22A-2および出力選択装置24A-2に供給される。

そして、シフト演算器21A-3の出力信号sft3_outはMEMR3、すなわちR3となり、入力選択装置22A-3および出力選択装置24A-3に供給される。

【0317】

入力選択装置22A-0では、制御信号R0SELにより、シフト演算器21A-0の出力信号R0を選択するように制御され、選択されたデータR0が信号

$r0sel_out$ として、バラフライ演算器 23A-0 の入力端子 DA に供給される。

入力選択装置 22A-1 では、制御信号 R1SEL により、シフト演算器 21A-1 の出力信号 R1 を選択するように制御され、選択されたデータ R1 が信号 $r1sel_out$ として、バラフライ演算器 23A-0 の入力端子 DB に供給される。

【0318】

また、入力選択装置 22A-2 では、制御信号 R2SEL により、シフト演算器 21A-2 の出力信号 R2 を選択するように制御され、選択されたデータ R2 が信号 $r2sel_out$ として、バラフライ演算器 23A-1 の入力端子 DA に供給される。

入力選択装置 22A-3 では、制御信号 R3SEL により、シフト演算器 21A-3 の出力信号 R3 を選択するように制御され、選択されたデータ R3 が信号 $r3sel_out$ として、バラフライ演算器 23A-1 の入力端子 DB に供給される。

【0319】

バタフライ演算器 23A-0 では、制御端子 CTL に供給される制御信号 BT FMD0 により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器 23A-0 においては、入力端子 DA に供給されたデータ R0 と入力端子 DB に供給されたデータ R1 とが加算され、その結果である ($R0 + R1$) が出力端子 OA から信号 $btfa_out$ として、出力選択装置 24A-0 および 25A-0 に出力される。

また、バタフライ演算器 23A-0 においては、入力端子 DA に供給されたデータ R0 と入力端子 DB に供給されたデータ R1 との差がとられ、その結果である ($R0 - R1$) が出力端子 OB から信号 $btfb_out$ として、出力選択装置 24A-1 および 25A-1 に出力される。

【0320】

同様に、バタフライ演算器 23A-1 では、制御端子 CTL に供給される制御

信号BTFMD1により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器23A-1においては、入力端子DAに供給されたデータR2と入力端子DBに供給されたデータR3とが加算され、その結果である($R2 + R3$)が出力端子OAから信号bt f1 a_outとして、出力選択装置24A-2および25A-2に出力される。

また、バタフライ演算器23A-1においては、入力端子DAに供給されたデータR2と入力端子DBに供給されたデータR3との差がとられ、その結果である($R2 - R3$)が出力端子OBから信号bt f1 b_outとして、出力選択装置24A-3および25A-3に出力される。

【0321】

そして、第2の演算装置32では、出力選択装置24A-1において、シフト演算器21A-1の出力信号(R1)とバタフライ演算器23A-0の出力信号bt f0 b_out(=MEMR0-MEMR1)のうち、バタフライ演算器23A-0の出力信号bt f0 b_outを選択するように制御信号D1SELが供給され、これにより選択されたデータが信号D1=R0-R1として、第1の演算装置31のデータ入力D1Iに供給される。

【0322】

同様に、第2の演算装置32では、出力選択装置24A-3において、シフト演算器21A-3の出力信号(R3)とバタフライ演算器23A-1の出力信号bt f1 b_out(=R2-R3)のうち、バタフライ演算器23A-1の出力信号bt f1 b_outを選択するように制御信号D3SELが供給され、これにより選択されたデータが信号D3=R2-R3として、第1の演算装置31のデータ入力D3Iに供給される。

【0323】

第1の演算装置31では、まず、演算装置10A-0において、制御信号CTL0により、演算結果信号OT0=C0E0*D1となる演算が行われるように制御が行われる。

【0324】

この場合、演算装置10A-0において、制御信号A S E Lが係数入力C O E 0を選択するように設定されて第1の選択装置11に供給される。

また、制御信号B S E Lがデータ入力D 1 I (=D 1 =R 0 - R 1)を選択するように設定されて第2の選択装置12に供給される。

これにより、第1の選択装置11から係数C O E 0が信号a s e l _ o u tとして、A L U 1 4およびM A C 1 5に出力される。また、第2の選択装置12からデータD 1 (=R 0 - R 1)が信号b s e l _ o u tとして、A L U 1 4およびM A C 1 5に出力される。

【0325】

このとき、乗算を指定する制御信号M A C M Dが、M A C 1 5に供給される。これにより、M A C 1 5において、係数C O E 0とデータD 1との乗算が行われ、その結果C O E 0 * D 1が信号m a c _ o u tとして第4の選択装置16に出力される。

そして、制御信号E S E LがM A C 1 5の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてM A C 1 5の出力信号m a c _ o u t (C O E 0 * D 1)が選択され、信号e s e l _ o u t (C O E 0 * D 1)としてレジスタ17に出力される。

レジスタ17では、M A C 1 5の演算結果C O E 0 * D 1が格納され、この格納データが演算出力端子P E _ Cから演算結果信号O T 0として、演算装置10A-1のカスケード入力P E _ P 0、演算装置10A-2のカスケード入力P E _ P 1、および演算装置10A-3のカスケード入力P E _ P 2に出力される。

【0326】

演算装置10A-0においては、C O F I F O 1 8 - 0 ~ C 3 F I F O 1 8 - 3で所望の遅延量だけ遅延された係数C O E 0 ~ C O E 3が係数出力端子P E _ C 0 0 ~ P E _ C 3 0から係数出力c 0 0 ~ c 3 0として次段の演算装置10A-1の係数入力端子P E _ C 0 I ~ P E _ C 3 Iに出力され、D O F I F O 1 9 - 1, D 3 F I F O 1 9 - 3で所望の遅延量だけ遅延されたデータD 1, D 3がデータ出力端子P E _ D 1 O, P E _ D 3 Oからデータ出力d 1 0, d 3 0として次段の演算装置10A-1のデータ入力端子P E _ D 1 I, ~ P E _ D 3 Iに

出力される。

【0327】

次に、演算装置10A-1においては、制御信号CTL1により、演算結果信号OT1=OT0-COE1*D3となる演算が行われるように制御が行われる。

【0328】

この場合、制御信号ASELが係数入力端子PE_C1Iに供給される演算装置10A-0の係数出力c10(COE1)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力端子PE_D1Iに供給される演算装置10A-0のデータ出力d10(D3=R2-R3)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力端子PE_P0に供給される演算装置10A-0の演算結果信号OT0(COE0*D1)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数COE1が信号asel_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータD3(=R2-R3)が信号bsel_outとして、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データCOE0*D1が信号csel_outとして第1の選択装置11、ALU14およびMAC15に出力される。

【0329】

このとき、乗減算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数COE1とデータD3との乗算が行われ、さらに、その結果COE0*D1とCOE1*D3との減算が行われる。これにより、MAC15から乗加算結果(COE0*D1-COE1*D3)が信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15

の出力信号 mac_out ($COE0 * D1 - COE1 * D3$) が選択され、信号 $esel_out$ としてレジスタ 17 に出力される。

レジスタ 17 では、MAC 15 の演算結果 ($COE0 * D1 - COE1 * D3$) が格納され、この格納データが演算出力端子 PE_C から演算結果信号 $OT1$ として、演算装置 10A-0 のカスケード入力 PE_P2 、演算装置 10A-2 のカスケード入力 PE_P0 、および演算装置 10A-2 のカスケード入力 PE_P1 に出力される。

また、演算装置 10A-1 の ($COE0 * D1 - COE1 * D3$) を示す演算結果信号 $OT1$ は、図 10 の第 2 の演算装置 32 のデータ入力 $I1$ に供給される。

【0330】

また、演算装置 10A-1においては、 $C0FIFO18-0 \sim C3FIFO18-3$ で所望の遅延量だけ遅延された係数 $COE0 \sim COE3$ が係数出力端子 $PE_C0O \sim PE_C3O$ から係数出力 $c01 \sim c31$ として次段の演算装置 10A-2 の係数入力端子 $PE_C0I \sim PE_C3I$ に出力され、 $D0FIFO19-1$, $D3FIFO19-3$ で所望の遅延量だけ遅延されたデータ $D1$, $D3$ がデータ出力端子 PE_D1O , PE_D3O からデータ出力 $d11$, $d31$ として次段の演算装置 10A-3 のデータ入力端子 PE_D1I , PE_D3I に出力される。

【0331】

次に、演算装置 10A-2においては、制御信号 $CTL2$ により、演算結果信号 $OT2 = COE2 * D1$ となる演算が行われるように制御が行われる。

【0332】

この場合、制御信号 $ASEL$ が係数入力端子 PE_C2I に供給される演算装置 10A-1 の係数出力 $c21$ ($COE2$) を選択するように設定されて第 1 の選択装置 11 に供給される。

また、制御信号 $BSEL$ がデータ入力端子 PE_D1I に供給される演算装置 10A-1 のデータ出力 $d11$ ($D1$) を選択するように設定されて第 2 の選択装置 12 に供給される。

これにより、第1の選択装置11から係数COE2が信号a_{sel}_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータD1が信号b_{sel}_outとして、ALU14およびMAC15に出力される。

【0333】

このとき、乗算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数COE2とデータD1との乗算が行われる。これにより、MAC15から乗算結果COE2*D1が信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out(COE2*D1)が選択され、信号e_{sel}_out(COE2*D1)としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果COE2*D1が格納され、この格納データが演算出力端子PE_Cから演算結果信号OT2として、演算装置10A-0のカスケード入力PE_P1、演算装置10A-2のカスケード入力PE_P2、および演算装置10A-3のカスケード入力PE_P0に出力される。

【0334】

演算装置10A-2においては、COFIG18-0～C3FIG18-3で所望の遅延量だけ遅延された係数COE0, COE1, COE2, COE3が係数出力端子PE_C00～PE_C30から係数出力c02～c32として次段の演算装置10A-3の係数入力端子PE_C0I～PE_C3Iに出力され、DOFIG19-1, D3FIG19-3で所望の遅延量だけ遅延されたデータD1, D3がデータ出力端子PE_D1O, PE_D3Oからデータ出力d12, d32として次段の演算装置10A-3のデータ入力端子PE_D1I～PE_D3Iに出力される。

【0335】

次に、演算装置10A-3においては、制御信号CTL3により、演算結果信号OT3=OT2+COE3*D3=COE2*D1+COE3*D3となる演

算が行われるように制御が行われる。

【0336】

この場合、制御信号A S E Lが係数入力端子P E _ C 3 Iに供給される演算装置10A-2の係数出力c 3 2 (C O E 3)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号B S E Lがデータ入力端子P E _ D 3 Iに供給される演算装置10A-2のデータ出力d 3 2 (D 3)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号C S E Lがカスケード入力端子P E _ P 0に供給される演算装置10A-2の演算結果信号O T 2 (C O E 2 * D 1)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数C O E 3が信号a s e 1 _ o u tとして、A L U 1 4およびM A C 1 5に出力される。また、第2の選択装置12からデータD 3が信号b s e 1 _ o u tとして、A L U 1 4およびM A C 1 5に出力される。また、第3の選択装置13から、カスケード入力データC O E 2 * D 1が信号c s e 1 _ o u tとして第1の選択装置11、A L U 1 4およびM A C 1 5に出力される。

【0337】

このとき、乗加算を指定する制御信号M A C M Dが、M A C 1 5に供給される。これにより、M A C 1 5において、係数C O E 3とデータD 3との乗算が行われ、さらに、その結果C O E 3 * D 3と(C O E 2 * D 1)との加算が行われる。これにより、M A C 1 5から乗加算結果C O E 3 * D 3 + C O E 2 * D 1が信号m a c _ o u tとして第4の選択装置16に出力される。

そして、制御信号E S E LがM A C 1 5の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてM A C 1 5の出力信号m a c _ o u t (C O E 2 * D 1 + C O E 3 * D 3)が選択され、信号e s e 1 _ o u t (C O E 2 * D 1 + C O E 3 * D 3)としてレジスタ17に出力される。

レジスタ17では、M A C 1 5の演算結果 (C O E 2 * D 1 + C O E 3 * D 3

) が格納され、この格納データが演算出力端子 P E _ C から演算結果信号 O T 3 として所望の演算結果 o u t として出力され、演算装置 1 0 A - 0 のカスケード入力 P E _ P 0 、演算装置 1 0 A - 2 のカスケード入力 P E _ P 1 、および演算装置 1 0 A - 2 のカスケード入力 P E _ P 0 に出力される。

また、演算装置 1 0 A - 3 の (C O E 2 * D 1 + C O E 3 * D 3) を示す演算結果信号 O T 3 は、図 1 0 の第 2 の演算装置 3 2 のデータ入力 I 3 に供給される。

【0338】

なお、以上において、図 2 に示す遅延制御信号 C 0 D L , C 1 D L , C 2 D L , C 3 D L はすべて遅延 0 となるように、各 C 0 F I F O ~ C 3 F I F O 1 8 - 0 ~ 1 8 - 3 に供給される。

また、遅延制御信号 D 0 D L は遅延 0 となるように、D 0 F I F O 1 9 - 0 に供給され、遅延制御信号 D 1 D L は遅延 1 となるように、D 1 F I F O 1 9 - 1 に供給され、遅延制御信号 D 2 D L は遅延 2 となるように、D 2 F I F O 1 9 - 2 に供給され、遅延制御信号 D 3 D L は遅延 3 となるように、D 3 F I F O 1 9 - 3 に供給される。

【0339】

第 2 の演算装置 3 2 のデータ入力 I 1 に供給された第 1 の演算装置 3 1 の演算結果 (C O E 0 * D 1 - C O E 1 * D 3) は図 6 の出力選択装置 2 5 A - 1 に供給される。

また、第 2 の演算装置 3 2 のデータ入力 I 3 に供給された第 1 の演算装置 3 1 の演算結果 (C O E 2 * D 1 + C O E 3 * D 3) は図 6 の出力選択装置 2 5 A - 3 に供給される。

【0340】

そして、第 2 の演算装置 3 2 において、出力選択装置 2 5 A - 0 では、データ入力 I 0 とバタフライ演算器 2 3 A - 0 の出力信号 b t f 0 a _ o u t (= R 0 + R 1) のうち、バタフライ演算器 2 3 A - 0 の出力信号 b t f 0 a _ o u t を選択するように制御信号 W O S E L が供給され、これにより選択されたデータが信号 M E M W 0 = R 0 + R 1 として出力される。

【0341】

また、出力選択装置25A-1では、データ入力I1とバタフライ演算器23A-0の出力信号 $b_t f_0 b_{out} (= R_0 - R_1)$ のうち、データ入力I1を選択するように制御信号W1SELが供給され、これにより選択されたデータが信号 $MEMW1 = I1 = (COE0 * D1 - COE1 * D3) = (COE0 * (R_0 - R_1) - COE1 * (R_2 - R_3))$ として出力される。

【0342】

また、出力選択装置25A-2では、データ入力I2とバタフライ演算器23A-1の出力信号 $b_t f_1 a_{out} (= R_2 + R_3)$ のうち、バタフライ演算器23A-1の出力信号 $b_t f_1 a_{out}$ を選択するように制御信号W2SELが供給され、これにより選択されたデータが信号 $MEMW2 = R_2 + R_3$ として出力される。

【0343】

また、出力選択装置25A-3では、データ入力I3とバタフライ演算器23A-1の出力信号 $b_t f_1 b_{out} (= R_2 - R_3)$ のうち、データ入力I3を選択するように制御信号W3SELが供給され、これにより選択されたデータが信号 $MEMW3 = I3 = (COE2 * D1 + COE3 * D3) = (COE2 * (R_0 - R_1) + COE3 * (R_2 - R_3))$ として出力される。

【0344】

以上説明したように、本第8の実施形態によれば、第1および第2の実施形態に係るALUおよびMACを含む演算装置と、第3～第7の実施形態に係るバタフライ演算器を含む演算装置とを再構成可能に結合してので、以下の利点がある。

【0345】

すなわち、従来のDSPなどのプロセッサでは、

$$MEMW0 = x[k0] + x[k1],$$

$$MEMW1 = p x * (x[k0] - x[k1]) - p y * (y[k0] - y[k1]),$$

$$MEMW2 = y[k0] + y[k1],$$

$$MEMW3 = p x * (x[k0] - x[k1]) + p y * (y[k0] - y[k1])$$

の演算を実行しようとした場合、たとえばMEMW1の計算で

reg 1 = x [k0] - x [k1],

reg 2 = px * reg 1,

reg 3 = y [k0] - y [k1],

reg 4 = py * reg 3,

MEMW1 = reg 2 - reg 4,

などのように一時的にレジスタに値を格納する演算が必要となっていた。そのため演算動作に不要なレジスタへの書き込み、レジスタからの読み出しが多くなり、動作サイクル数、消費電力ともに増えていたが、MAC, ALUとバタフライ演算とを組み合わせることで、メモリ読み出しから、演算、メモリ書き込みを行う際に、演算ブロックでの演算自由度が増し、効率よい演算ができるようになる。そのため、実行サイクル数が少なくなり、また一時データの読み、書きが減るため電力が削減される。

【0346】

さらに、MEMW0の演算とMEMW1の演算のようにx [k0], x [k1]を共通に使用している場合には、従来のプロセッサではx [k0] + x [k1], x [k0] - x [k1]の演算を同時に行うことができずに演算に必要なサイクル数が増えていたが、本第8の実施形態では、この演算を同時に行うため必要サイクル数が少なくて済む。

【0347】

また、本第8の実施形態によれば、上述した第1の実施形態と同様に、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の低下を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0348】

第9実施形態

図11は、本発明に係る演算装置の第9の実施形態を示す構成図である。

本第9の実施形態に係る演算装置30Aは、第8の実施形態のように、上述した第1および第2の実施形態に係るALUおよびMACを含む第1の演算装置と、第3～第7の実施形態に係るバタフライ演算器を含む第2の演算装置とを再構成可能に結合した演算装置をより一般化した場合の装置例である。

この演算装置30Aもデータ読み出し、演算、データ書き込みの1サイクルで信号処理演算を効率良く実行可能に構成されている。

【0349】

本演算装置30Aは、図11に示すように、ALUおよびMACを含む第1の演算装置(PU)31A、およびバタフライ演算器を含む第2の演算装置32A-0(BTFLa0), …, 32A-k(BTFLak), 32B-0(BTFLb0), …, 32B-m(BTFLbm), 32C-0(BTFLc0), …, 32C-n(BTFLcn)を主構成要素として有している。

【0350】

以下に、第1の演算装置31A、および第2の演算装置32A-0(BTFLa0), …, 32A-k(BTFLak), 32B-0(BTFLb0), …, 32B-m(BTFLbm), 32C-0(BTFLc0), …, 32C-n(BTFLcn)のデータ入出力および制御信号、並びに接続関係について詳述し、各部の動作は、第8の実施形態の場合と同様に行われることから、その詳細は省略する。

【0351】

第1の演算装置31Aは、たとえば図1または図2の演算装置を2、4、8等の複数個カスケード接続した演算装置を含んでおり、データ入力DIa0, DIa1, DIa2k, DIa2k+1, DIb0, DIb1, DIb2, DIb3, DIb4m, DIb4m+1, DIb4m+2, DIb4m+3, DIc0, DIc1, …, DIc6, DIc7, DIc8n, DIc8n+1, …, DIc8n+6, DIc8n+7、係数入力COE0, …, COEp、データ出力OTa0, OTa1, OTa2k, OTa2k+1, OTb0, OTb1, OTb2, OTb3, OTb4m, OTb4m+1, OTb4m+2, OTb4m+3, OTc0, OTc1…OTc6, OTc7, OTc8n, OTc8n+1, …,

OTc8n+6, OTc8n+7を有し、再構成のための制御信号CTRLa0, …, CTRLa2k+1, CTRLb0, …, CTRLb4m+3, CTRLc0, …, CTRLc8n+7が供給される。

そして、各制御信号には、演算制御信号ASEL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号C0DL, C1DL, …, CkDL, D0DL, D1DL, …, DmDLが含まれる。

【0352】

第2の演算装置32A-0は、たとえば図5に示すような4入力4出力の演算装置であって、データ入力MEMRa0, MEMRa1、演算結果入力Ia0, Ia1、データ出力（演算結果出力）Da0, Da1、データ出力MEMWa0, MEMWa1を有し、再構成のための制御信号CTRLBa0が供給される。

たとえば第3の実施形態の場合を例にとると、制御信号CTRLBa0には、SFT0MD, R0SEL, BTFMD0, D0SEL, W0SEL、およびSFT1MD, R1SEL, BTFMD1, D1SEL, W1SELが含まれる。

【0353】

第2の演算装置32A-kは、たとえば図5に示すような4入力4出力の演算装置であって、データ入力MEMRa2k, MEMRa2k+1、演算結果入力Ia2k, Ia2k+1、データ出力（演算結果出力）Da2k, Da2k+1、データ出力MEMWa2k, MEMWa2k+1を有し、再構成のための制御信号CTRLBa2kが供給される。

たとえば第3の実施形態の場合を例にとると、制御信号CTRLBa2kには、SFT0MD, R0SEL, BTFMD0, D0SEL, W0SEL、およびSFT1MD, R1SEL, BTFMD1, D1SEL, W1SELが含まれる。

【0354】

第2の演算装置32B-0は、たとえば図6または図7に示すような8入力8出力の演算装置であって、データ入力MEMRb0, MEMRb1, MEMRb2, MEMRb3、演算結果入力Ib0, Ib1, Ib2, Ib3、データ出力

(演算結果出力) Db0, Db1, Db2, Db3、データ出力MEMWb0, MEMWb1, MEMWb2, MEMWb3を有し、再構成のための制御信号CTRLBb0が供給される。

たとえば第4または第5の実施形態の場合を例にとると、制御信号CTRLBb0には、SFT0MD, R0SEL, BTFMD0, D0SEL, W0SEL、SFT1MD, R1SEL, BTFMD1, D1SEL, W1SEL、SFT2MD, R2SEL, BTFMD2, D2SEL, W2SEL、およびSFT3MD, R3SEL, BTFMD3, D3SEL, W3SELが含まれる。

【0355】

第2の演算装置32B-mは、たとえば図6または図7に示すような8入力8出力の演算装置であって、データ入力MEMRb4m, MEMRb4m+1, MEMRb4m+2, MEMRb4m+3、演算結果入力Ib4m, Ib4m+1, Ib4m+2, Ib4m+3、データ出力(演算結果出力)Db4m, Db4m+1, Db4m+2, Db4m+3、データ出力MEMWb4m, MEMWb4m+1, MEMWb4m+2, MEMWb4m+3を有し、再構成のための制御信号CTRLBb4mが供給される。

たとえば第4または第5の実施形態の場合を例にとると、制御信号CTRLBb4mには、SFT0MD, R0SEL, BTFMD0, D0SEL, W0SEL、SFT1MD, R1SEL, BTFMD1, D1SEL, W1SEL、SFT2MD, R2SEL, BTFMD2, D2SEL, W2SEL、およびSFT3MD, R3SEL, BTFMD3, D3SEL, W3SELが含まれる。

【0356】

第2の演算装置32C-0は、たとえば図8または図9に示すような16入力16出力の演算装置であって、データ入力MEMRc0, MEMRc1, …, MEMRc6, MEMRc7、演算結果入力Ic0, Ic1, …, Ic6, Ic7、データ出力(演算結果出力)Dc0, Dc1, …, Dc6, Dc7、データ出力MEMWc0, MEMWc1, …, MEMWc6, MEMWc7を有し、再構成のための制御信号CTRLBc0が供給される。

たとえば第6または第7の実施形態の場合を例にとると、制御信号CTRLB

b4mには、SFT0MD, ROSEL, MTFMD0, DOSEL, W0SEL, SFT1MD, R1SEL, MTFMD1, D1SEL, W1SEL, SFT2MD, R2SEL, MTFMD2, D2SEL, W2SEL, SFT3MD, R3SEL, MTFMD3, D3SEL, W3SEL, SFT4MD, R4SEL, MTFMD4, D4SEL, W4SEL, SFT5MD, R5SEL, MTFMD5, D5SEL, W5SEL, SFT6MD, R6SEL, MTFMD6, D6SEL, W6SEL, SFT7MD, R7SEL, MTFMD7, D7SEL, W7SELが含まれる。

【0357】

第2の演算装置32C-nは、たとえば図8または図9に示すような16入力16出力の演算装置であって、データ入力MEMRc8n, MEMRc8n+1, …, MEMRc8n+6, MEMRc8n+7、演算結果入力I1c8n, I1c8n+1, …, Ic8n+6, Ic8n+7、データ出力(演算結果出力)Dc8n, Dc8n+1, …, Dc8n+6, Dc8n+7、データ出力MEMWc8n, MEMWc8n+1 … MEMWc8n+6, MEMWc8n+7を有し、再構成のための制御信号CTRLBc8nが供給される。

たとえば第6または第7の実施形態の場合を例にとると、制御信号CTRLBb4mには、SFT0MD, ROSEL, MTFMD0, DOSEL, W0SEL, SFT1MD, R1SEL, MTFMD1, D1SEL, W1SEL, SFT2MD, R2SEL, MTFMD2, D2SEL, W2SEL, SFT3MD, R3SEL, MTFMD3, D3SEL, W3SEL, SFT4MD, R4SEL, MTFMD4, D4SEL, W4SEL, SFT5MD, R5SEL, MTFMD5, D5SEL, W5SEL, SFT6MD, R6SEL, MTFMD6, D6SEL, W6SEL, SFT7MD, R7SEL, MTFMD7, D7SEL, W7SELが含まれる。

【0358】

そして、第2の演算装置32A-0のデータ入力MEMRa0にデータRa0が供給され、データ入力MEMRa1にデータRa1が供給される。

第2の演算装置32A-0のデータ出力Da0が第1の演算装置31Aのデー

タ入力D I a 0に供給され、第2の演算装置3 2 A-0のデータ出力D a 1が第1の演算装置3 1 Aのデータ入力D I a 1に供給される。

また、第1の演算装置3 1 Aのデータ出力O T a 0が第2の演算装置3 2 A-0のデータ入力I a 0に供給され、第1の演算装置3 1 Aのデータ出力O T a 1が第2の演算装置3 2 A-0のデータ入力I a 1に供給される。

また、第2の演算装置3 2 A-0のデータ出力MEMW a 0からデータW a 0が出力され、データ出力MEMW a 1からデータW a 1が出力される。

【0359】

第2の演算装置3 2 A-kのデータ入力MEMR a 2 kにデータR a 2 kが供給され、データ入力MEMR a 2 k+1にデータR a 2 k+1が供給される。

第2の演算装置3 2 A-kのデータ出力D a 2 kが第1の演算装置3 1 Aのデータ入力D I a 2 kに供給され、第2の演算装置3 2 A-kのデータ出力D a 2 k+1が第1の演算装置3 1 Aのデータ入力D I a 2 k+1に供給される。

また、第1の演算装置3 1 Aのデータ出力O T a 2 kが第2の演算装置3 2 A-kのデータ入力I a 2 kに供給され、第1の演算装置3 1 Aのデータ出力O T a 2 k+1が第2の演算装置3 2 A-kのデータ入力I a 2 k+1に供給される

また、第2の演算装置3 2 A-kのデータ出力MEMW a 2 kからデータW a 2 kが出力され、データ出力MEMW a 2 k+1からデータW a 2 k+1が出力される。

【0360】

第2の演算装置3 2 B-0のデータ入力MEMR b 0にデータR b 0が供給され、データ入力MEMR b 1にデータR b 1が供給され、データ入力MEMR b 2にデータR b 2が供給され、データ入力MEMR b 3にデータR b 3が供給される。

第2の演算装置3 2 B-0のデータ出力D b 0が第1の演算装置3 1 Aのデータ入力D I b 0に供給され、第2の演算装置3 2 B-0のデータ出力D b 1が第1の演算装置3 1 Aのデータ入力D I b 1に供給され、第2の演算装置3 2 B-0のデータ出力D b 2が第1の演算装置3 1 Aのデータ入力D I b 2に供給され

、第2の演算装置32B-0のデータ出力D b 3が第1の演算装置31Aのデータ入力D I b 3に供給される。

また、第1の演算装置31Aのデータ出力O T b 0が第2の演算装置32B-0のデータ入力I b 0に供給され、第1の演算装置31Aのデータ出力O T b 1が第2の演算装置32B-0のデータ入力I b 1に供給され、第1の演算装置31Aのデータ出力O T b 2が第2の演算装置32B-0のデータ入力I b 2に供給され、第1の演算装置31Aのデータ出力O T b 3が第2の演算装置32B-0のデータ入力I b 3に供給される。

また、第2の演算装置32B-0のデータ出力MEMW b 0からデータW b 0が出力され、データ出力MEMW b 1からデータW b 1が出力され、データ出力MEMW b 2からデータW b 2が出力され、データ出力MEMW b 3からデータW b 3が出力される。

【0361】

第2の演算装置32B-mのデータ入力MEMR b 4 mにデータR b 4 mが供給され、データ入力MEMR b 4 m+1にデータR b 4 m+1が供給され、データ入力MEMR b 4 m+2にデータR b 4 m+2が供給され、データ入力MEMR b 4 m+3にデータR b 4 m+3が供給される。

第2の演算装置32B-mのデータ出力D b 4 mが第1の演算装置31Aのデータ入力D I b 4 mに供給され、第2の演算装置32B-mのデータ出力D b 4 m+1が第1の演算装置31Aのデータ入力D I b 4 m+1に供給され、第2の演算装置32B-mのデータ出力D b 4 m+2が第1の演算装置31Aのデータ入力D I b 4 m+2に供給され、第2の演算装置32B-mのデータ出力D b 4 m+3が第1の演算装置31Aのデータ入力D I b 4 m+3に供給される。

また、第1の演算装置31Aのデータ出力O T b 4 mが第2の演算装置32B-mのデータ入力I b 4 mに供給され、第1の演算装置31Aのデータ出力O T b 4 m+1が第2の演算装置32B-mのデータ入力I b 4 m+1に供給され、第1の演算装置31Aのデータ出力O T b 4 m+2が第2の演算装置32B-mのデータ入力I b 4 m+2に供給され、第1の演算装置31Aのデータ出力O T b 4 m+3が第2の演算装置32B-mのデータ入力I b 4 m+3に供給される

また、第2の演算装置32B-mのデータ出力MEMWb4mからデータWb4mが出力され、データ出力MEMWb4m+1からデータWb4m+1が出力され、データ出力MEMWb4m+2からデータWb4m+2が出力され、データ出力MEMWb4m+3からデータWb4m+3が出力される。

【0362】

第2の演算装置32C-0のデータ入力MEMRc0にデータRc0が供給され、データ入力MEMRc1にデータRc1が供給され、同様にしてデータ入力MEMRc6にデータRc6が供給され、データ入力MEMRc7にデータRc7が供給される。

第2の演算装置32C-0のデータ出力Dc0が第1の演算装置31Aのデータ入力DIc0に供給され、第2の演算装置32C-0のデータ出力Dc1が第1の演算装置31Aのデータ入力DIc1に供給され、同様にして第2の演算装置32C-0のデータ出力Dc6が第1の演算装置31Aのデータ入力DIc6に供給され、第2の演算装置32C-0のデータ出力DC7が第1の演算装置31Aのデータ入力DIC7に供給される。

また、第1の演算装置31Aのデータ出力OTc0が第2の演算装置32C-0のデータ入力Ic0に供給され、第1の演算装置31Aのデータ出力OTc1が第2の演算装置32C-0のデータ入力Ic1に供給され、同様にして第1の演算装置31Aのデータ出力OTc6が第2の演算装置32C-0のデータ入力Ic6に供給され、第1の演算装置31Aのデータ出力OTc7が第2の演算装置32C-0のデータ入力Ic7に供給される。

また、第2の演算装置32C-0のデータ出力MEMWc0からデータWc0が出力され、データ出力MEMWc1からデータWc1が出力され、同様にしてデータ出力MEMWc6からデータWc6が出力され、データ出力MEMWc7からデータWc7が出力される。

【0363】

第2の演算装置32C-nのデータ入力MEMRc8nにデータRc8nが供給され、データ入力MEMRc8n+1にデータRc8n+1が供給され、同様

にしてデータ入力MEMRc8n+6にデータRc8n+6が供給され、データ入力MEMRc8n+7にデータRc8n+7が供給される。

第2の演算装置32C-nのデータ出力DC8nが第1の演算装置31Aのデータ入力DIC8nに供給され、第2の演算装置32C-nのデータ出力Dc8n+1が第1の演算装置31Aのデータ入力DIC8n+1に供給され、同様にして第2の演算装置32C-nのデータ出力Dc8n+6が第1の演算装置31Aのデータ入力DIC8n+6に供給され、第2の演算装置32C-nのデータ出力Dc8n+7が第1の演算装置31Aのデータ入力DIC8n+3に供給される。

また、第1の演算装置31Aのデータ出力OTc8nが第2の演算装置32C-nのデータ入力Ic8nに供給され、第1の演算装置31Aのデータ出力OTc8n+1が第2の演算装置32C-nのデータ入力Ic8n+1に供給され、同様にして第1の演算装置31Aのデータ出力OTc8n+6が第2の演算装置32C-nのデータ入力Ic8n+6に供給され、第1の演算装置31Aのデータ出力OTc8n+7が第2の演算装置32C-nのデータ入力Ic8n+7に供給される。

また、第2の演算装置32C-nのデータ出力MEMWc8nからデータWc8nが出力され、データ出力MEMWc8n+1からデータWc8n+1が出力され、同様にしてデータ出力MEMWc8n+6からデータWc8n+6が出力され、データ出力MEMWc8n+7からデータWc8n+7が出力される。

【0364】

このような構成を有する演算装置30Aにおいて、たとえば第1の演算装置31Aと8入力8出力の第2の演算装置32B-0～32B-mとの間でデータの授受を行って演算を行う場合には、上述した第8の実施形態においては説明した動作と同様の動作が行われる。

その他の第2の演算装置32A-0～32A-k、32C-0～32C-nと第1の演算装置31Aとの間でデータの授受を行って演算を行う場合であっても、データ入出力数が異なるだけで、略同様の動作が行われる。

したがって、上述したように、ここでは各部の動作は、その詳細は省略する。

【0365】

本第9の実施形態によれば、3項演算装置かつ／または2項演算装置を含む演算装置を複数有する第1の演算装置31Aと、2入力2出力演算装置を含む第2の演算装置32A-0 (B T F L a 0) , …, 32A-k (B T F L a k) 、32B-0 (B T F L b 0) , …, 32B-m (B T F L b m) 、32C-0 (B T F L c 0) , …, 32C-n (B T F L c n) とを備え、外部から再構成可能な演算装置30Aにおいて、第2の演算装置32A-0 (B T F L a 0) , …, 32A-k (B T F L a k) 、32B-0 (B T F L b 0) , …, 32B-m (B T F L b m) 、32C-0 (B T F L c 0) , …, 32C-n (B T F L c n) の演算結果を第1の演算装置31Aの入力とし、また、第1の演算装置31Aの演算結果を第2の演算装置の入力として、最終的な演算結果を得るようにしたので、上述した第8の実施形態の効果と同様の効果を得ることができる。

【0366】

すなわち、従来のD S Pなどのプロセッサでは、

$$M E M W 0 = x [k0] + x [k1],$$

$$M E M W 1 = p x * (x [k0] - x [k1]) - p y * (y [k0] - y [k1]),$$

$$M E M W 2 = y [k0] + y [k1],$$

$$M E M W 3 = p x * (x [k0] - x [k1]) + p y * (y [k0] - y [k1])$$

の演算を実行しようとした場合、たとえばMEMW1の計算で

$$r e g 1 = x [k0] - x [k1],$$

$$r e g 2 = p x * r e g 1,$$

$$r e g 3 = y [k0] - y [k1],$$

$$r e g 4 = p y * r e g 3,$$

$$M e M W 1 = r e g 2 - r e g 4,$$

などのように一時的にレジスタに値を格納する演算が必要となっていた。そのため演算動作に不要なレジスタへの書き込み、レジスタからの読み出しが多くなり、動作サイクル数、消費電力ともに増えていたが、M A C, A L Uとバタフライ演算とを組み合わせることで、メモリ読み出しから、演算、メモリ書き込みを行う際に、演算ブロックでの演算自由度が増し、効率よい演算ができるようになる

。そのため、実行サイクル数が少なくなり、また一時データの読み、書きが減るため電力が削減される。

【0367】

さらに、MEMW0の演算とMEMW1の演算のように $x[k_0]$, $x[k_1]$ を共通に使用している場合には、従来のプロセッサでは $x[k_0] + x[k_1]$, $x[k_0] - x[k_1]$ の演算を同時に行うことができずに演算に必要なサイクル数が増えていたが、本第9の実施形態では、この演算を同時に行うため必要サイクル数が少なくて済む。

【0368】

また、本第9の実施形態によれば、上述した第1の実施形態と同様に、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の低下を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0369】

第10実施形態

図12は、本発明の第10の実施形態に係る演算システムを示す構成図である。

【0370】

本演算システム40では、たとえば上述した第1の実施形態～第9の実施形態に係る演算器の配列や、演算実行時の係数パラメータ等を、構成情報に基づいて再構成可能な演算装置が用いられる。

そして、本演算システム40は、演算装置、メモリ、アドレス生成装置と、経路情報を格納するメモリを含み、CPUを用いた経路情報選択の他に、アドレス生成装置が発生する制御信号に基づいて、演算途中であっても特定条件で経路情報を切り替えすることができる再構成可能なシステムとして構成される。

【0371】

具体的には、本演算システム40は、図12に示すように、制御回路としての

CPU41、複数、たとえば2つの第1の経路選択情報メモリ42、第2の経路選択情報メモリ43、選択装置44、アドレス生成装置45、データメモリ46、および再構成可能な演算装置47を有している。

【0372】

CPU41は、バスBUSを介して、第1の経路選択情報メモリ42、第2の経路選択情報メモリ43、データメモリ46にアクセスすることが可能になっている。

CPU41は、req_ack信号を用いてアドレス生成装置45の起動を行い、アドレス生成装置45からのreq_ack信号によりアドレス生成装置45の動作の終了を認識する。

また、CPU41は、第1の経路選択情報メモリ42に第1の経路選択情報config1を書き込み、第2の経路選択情報メモリ43に第2の経路選択情報config2を書き込む。

また、CPU41は、データメモリ46に複数のデータを書き込んでおく。さらにCPU41は、アドレス生成装置45に信号agctr1でアドレス生成パターンを指定し、アドレス生成装置45の起動を行う。

さらに、CPU41は、制御信号ctr1bを選択装置44に出力し、第1の経路選択情報メモリ42の第1の経路選択情報config1および第2の経路選択情報メモリ43の第2の経路選択情報config2のうちのいずれの経路選択情報を選択するのかを指示する。換言すれば、CPU41は、制御信号ctr1bをアドレス生成装置45がアドレス生成を行っている途中で、動的に変更し、経路選択情報を複数の経路選択情報メモリ42、43から選択するのかを制御する。

【0373】

第1の経路選択情報メモリ42は、CPU41からバスBUSを介して第1の経路選択情報config1が書き込まれ、書き込まれた第1の経路選択情報config1を選択装置44に出力する。

【0374】

第2の経路選択情報メモリ43は、CPU41からバスBUSを介して第2の

経路選択情報 config 2 が書き込まれ、書き込まれた第 2 の経路選択情報 config 2 を選択装置 4 4 に出力する。

【0375】

選択装置 4 4 は、アドレス生成装置 4 5 による制御信号 ctrl a および CPU 4 1 による制御信号 ctrl b に応じて、第 1 の経路選択情報メモリ 4 2 による第 1 の経路選択情報 config 1 、および第 2 の経路選択情報メモリ 4 3 による第 2 の経路選択情報 config 2 のうちのいずれかを選択して、演算装置 4 7 に供給する。

【0376】

アドレス生成装置 4 5 は、CPU 4 1 による req_ack 信号を受けて起動し、あらかじめ CPU 4 1 により制御信号 agctr 1 で指定されたアドレス生成パターンで、自動的にアドレス adr を生成し、データメモリ 4 6 からの読み出し、データメモリ 4 6 への書き込みを行う。

また、アドレス生成装置 4 5 は、生成したアドレスに応じた選択情報を含む制御信号 ctrl a を選択装置 4 4 に出力し、第 1 の経路選択情報メモリ 4 2 による第 1 の経路選択情報 config 1 、および第 2 の経路選択情報メモリ 4 3 による第 2 の経路選択情報 config 2 のうちのいずれかを選択させて、演算装置 4 7 に供給させる。

そして、アドレス生成装置 4 5 は、アドレスの生成が終了したときには、req_ack 信号を用いて CPU 4 1 に動作の完了を伝える。

【0377】

データメモリ 4 6 は、アドレス生成装置 4 5 で生成されたアドレス adr によりデータメモリ 4 6 の記憶データを読み出し、この読み出しデータ read_dat を演算装置 4 7 に供給し、演算装置 4 7 の演算結果である書き込みデータ write_dat を書き込み。

また、データメモリ 4 6 は、バス BUS を介して CPU 4 1 によりアクセスされる。

【0378】

演算装置 4 7 は、選択装置 4 4 で選択された第 1 の経路選択情報メモリ 4 2 に

による第1の経路選択情報config1、または第2の経路選択情報メモリ43による第2の経路選択情報config2に基づいて、演算器の配列や、演算実行時の係数パラメータ等を再構成して、データメモリ46の読み出しデータread_datに対し指定の演算を行い、この演算結果を書き込みデータwrite_datとしてデータメモリ46に供給する。

【0379】

次に、上記構成による動作を、図13に関連付けて説明する。

【0380】

まず、CPU41により、バスBUSを介して、第1の経路選択情報メモリ42に第1の経路選択情報config1が書き込まれ、第2の経路選択情報メモリ43に第2の経路選択情報config2が書き込まれる。

【0381】

また、CPU41により、バスBUSを介してデータメモリ46に複数のデータがあらかじめ書き込まれる。

さらに、CPU41によりアドレス生成装置45に対して制御信号agctrが出力されて、アドレス生成パターンが指定されて、アドレス生成装置45の起動が行われる。

【0382】

これにより、CPU41から制御がアドレス生成装置45に移行され、アドレス生成装置45において、アドレスの自動生成が開始され、データメモリ46に供給される。

なお、ここでは簡単のため、アドレス生成装置45において発生する読み出しアドレスパターンが0, 1, 2, 3, 4, 5であるものとする。

そして、生成アドレスadrに基づいてデータメモリ46から読み出され、演算装置47に供給されるデータは、read_dat[0]、read_dat[1]、read_dat[2]、read_dat[3]、read_dat[4]、およびread_dat[5]となる。

【0383】

また、アドレス生成装置45からは、生成アドレスに応じて制御信号ctr1

a が選択装置 4 4 に出力される。

選択装置 4 4 では、アドレス生成装置 4 5 による制御信号 `ctrla` および `CPU41` による制御信号 `ctrlb` に応じて、第 1 の経路選択情報メモリ 4 2 による第 1 の経路選択情報 `config1`、および第 2 の経路選択情報メモリ 4 3 による第 2 の経路選択情報 `config2` のうちのいずれかが選択されて、演算装置 4 7 に供給される。

【0384】

演算装置 4 7 においては、選択装置 4 4 により供給される第 1 の経路選択情報メモリ 4 2 による第 1 の経路選択情報 `config1`、または第 2 の経路選択情報メモリ 4 3 による第 2 の経路選択情報 `config2` に基づいて、演算器の配列や、演算実行時の係数パラメータ等が再構成される。

そして、再構成された演算装置 4 7 において、データメモリ 4 6 の読み出しデータ `read_dat[0]`、`read_dat[1]`、`read_dat[2]`、`read_dat[3]`、`read_dat[4]`、および `read_dat[5]` に対し指定の演算が行われる。

【0385】

演算装置 4 7 における演算結果は、`write_dat[0]`、`write_dat[1]`、`write_dat[2]`、`write_dat[3]`、`write_dat[4]`、および `write_dat[5]` となる。

【0386】

ここで、第 1 の経路選択情報 `config1` で実行される演算を `func1()`、第 2 の経路選択情報 `config2` で実行される演算を `func2()` とする。

そして、図 13 に示すように、アドレス生成装置 4 5 からの制御情報 `ctrla` でアドレスが、0, 1, 3, 4 のときには第 1 の経路選択情報 `config1` を、アドレスが 2, 5 のときには第 2 の経路選択情報 `config2` を選択することができるものとする。

この場合の演算結果は、次のように表すことができる。

【0387】

【数17】

```
w r i t e - d a t [ 0 ] = f u n c 1 ( r e a d _ d a t [ 0 ] )
w r i t e - d a t [ 1 ] = f u n c 1 ( r e a d _ d a t [ 1 ] )
w r i t e - d a t [ 2 ] = f u n c 2 ( r e a d _ d a t [ 2 ] )
w r i t e - d a t [ 3 ] = f u n c 1 ( r e a d _ d a t [ 3 ] )
w r i t e - d a t [ 4 ] = f u n c 1 ( r e a d _ d a t [ 4 ] )
w r i t e - d a t [ 5 ] = f u n c 2 ( r e a d _ d a t [ 5 ] )
```

【0388】

これらの演算結果がデータメモリ46に書き込まれ、アドレス生成装置45によるアドレスadrの自動生成が終了される。

そして、アドレス生成装置45からask_req信号がCPU41に送られ、演算の終了が伝えられる。

【0389】

以上説明したように、本第10の実施形態によれば、第1の経路選択情報config1を記憶する第1の経路選択情報メモリ42と、第2の経路選択情報config2を記憶する第2の経路選択情報メモリ43と、制御信号ctrlaおよび制御信号ctrlbに応じて、第1の経路選択情報メモリ42による第1の経路選択情報config1、および第2の経路選択情報メモリ43による第2の経路選択情報config2のうちのいずれかを選択する選択装置44と、指定されたアドレス生成パターンで、自動的にアドレスadrを生成し、データメモリ46からの読み出し、データメモリ46への書き込みを行い、かつ、生成したアドレスに応じて制御信号ctrlaを選択装置44に出力するアドレス生成装置45と、選択装置44で選択された第1の経路選択情報config1、または第2の経路選択情報config2に基づいて、演算器の配列や、演算実行時の係数パラメータ等を再構成して、データメモリ46の読み出しデータread_datに対し指定の演算を行い、この演算結果を書き込みデータwrite_datとしてデータメモリ46に書き戻す演算装置47とを設けてたので、以下の利点がある。

【0390】

すなわち、従来、CPUとアドレス生成装置と複数の構成情報メモリと再構成可能な演算装置で構成される演算システムにおいては、CPUを用いて、複数の構成メモリの選択を制御し、アドレス生成装置がアドレスを生成している期間中にCPUを用いてメモリの選択を行わせるためには、CPUとアドレス生成装置間に同期機構を設ける必要があり、そのため、制御が複雑になり、余計なハードウェアが必要になる、あるいはハードウェアの構造によっては、同期 자체が不可能であるという欠点を持っていた。

これに対して、本第10の実施形態に係る演算システムによれば、アドレス生成装置自身が出力する制御信号を用いて、複数の構成メモリの選択が可能になるため、同期機構を設ける必要がなくなるという利点がある。

また、CPUに制御が一度戻ることがないため、処理を行うためのオーバーヘッドが少なくなり、システム全体の処理能力を向上させることも可能になる。

【0391】

第11実施形態

図14は、本発明の第11の実施形態を説明するための図であって、本発明に係る演算システムに適用可能なアドレス生成装置の一例を示す構成図である。

【0392】

本アドレス生成装置50は、たとえば上述した第10の実施形態を示す図12の演算システムに適用可能で、4個（一般的にはn個）のカウンタを用いてアドレスを生成する装置であって、C言語のforループ中の配列のアクセスパターンやそのネスティング、FFT、ビットリバース等のアドレスパターンを生成し、このアドレス生成とともに制御信号CTRL（図12のctrla）も出力する。

以下、アドレス生成装置50の具体的な構成および機能について、順を追って説明する。

【0393】

本アドレス生成装置50は、図14に示すように、演算器（INCDEC0）51-0、演算器（INCDEC1）51-1、演算器（INCDEC2）51-2、演算器（INCDECx）51-X、セレクタ付き演算器（SUM0）5

2-0, セレクタ付き演算器 (SUM1) 52-1, セレクタ付き演算器 (SUM2) 52-2、セレクタ (SEL0) 53-0, セレクタ (SEL1) 53-1, セレクタ (SEL2) 53-2, セレクタ (SELx) 53-x、カウンタ (Counter0) 54-0, カウンタ (Counter1) 54-1, カウンタ (Counter2) 54-2, カウンタ (Counterx) 54-x、比較器 (END) 55、比較器 (END0) 56-0, 比較器 (END1) 56-1, 比較器 (END2) 56-2, 比較器 (ENDx) 56-x、比較器 (INC0) 57-0, 比較器 (INC1) 57-1, 比較器 (INC2) 57-2、セレクタ付き演算器 (ADRSUM) 58、ピット反転器 (BRV) 59、マスク生成器 (ADRMASK) 60、および制御信号生成器 (CTRLGEN) 61を有している。

【0394】

そして、アドレス生成装置50は、入力信号COUNT0STP, COUNT1STP, COUNT2STP, COUNT0INI, COUNT1INI, COUNT2INI, COUNTxINI, COUNT0FIN, COUNT1FIN, COUNT2FIN, COUNTxFIN, OFFSET, MASKと、制御信号CNT0INIMD, CNT1INIMD, CNT2INIMD, CNT0RETMID, CNT1RETMID, CNT2RETMID, CNT0ENDMD, CNT1ENDMD, CNT2ENDMD, CNT0INCMD, CNT1INCMD, CNT2INCMD, CTRLMD, COUNTSUM, MSKMD, COUNTENが供給され、制御信号CTRL、および生成アドレスGENADRを出力する。

【0395】

演算器51-0は、制御信号CNT0INIMDの値に応じて入力信号COUNT0STPとカウンタ54-0のカウントデータcountdat_0を演算した結果を信号countcal_0としてセレクタ53-0、およびセレクタ演算器52-0～52-2に出力する。

具体的には、演算器51-0は、制御信号CNT0INIMDの値に応じて、以下のいずれかの演算を行う。

【0396】

【数18】

countcal_0=COUNT0STP+countdat_0,

countcal_0=COUNT0STP-countdat_0

【0397】

演算器51-1は、制御信号CNT1INIMDの値に応じて入力信号COUNT1STPとカウンタ54-1のカウントデータcountdat_1を演算した結果を信号countcal_1としてセレクタ53-1、およびセレクタ演算器52-0～52-2に出力する。

具体的には、演算器51-1は、制御信号CNT1INIMDの値に応じて、以下のいずれかの演算を行う。

【0398】

【数19】

countcal_1=COUNT1STP+countdat_1,

countcal_1=COUNT1STP-countdat_1

【0399】

演算器51-2は、制御信号CNT2INIMDの値に応じて入力信号COUNT2STPとカウンタ54-2のカウントデータcountdat_2を演算した結果を信号countcal_2としてセレクタ53-2、およびセレクタ演算器52-0～52-2に出力する。

具体的には、演算器51-2は、制御信号CNT2INIMDの値に応じて、以下のいずれかの演算を行う。

【0400】

【数20】

countcal_2=COUNT2STP+countdat_2,

countcal_2=COUNT2STP-countdat_2

【0401】

演算器51-xは、入力信号COUNTxFINとカウンタ54-xのカウントデータcountdat_xを演算した結果を信号countcal_xとし

てセレクタ53-xに出力する。

【0402】

セレクタ付き演算器52-0は、制御信号CNT0RETMIDの値に応じて入力信号COUNT0INI、演算器51-0の出力信号countcal_0、演算器51-1の出力信号countcal_1、および演算器51-2の出力信号countcal_2を演算した結果を信号countret_0としてセレクタ53-0に出力する。

具体的には、演算器52-0は、制御信号CNT0RETMIDの値に応じて、以下のいずれかの演算を行う。

【0403】

【数21】

```
countret_0 = COUNT0INI,
countret_0 = countcal_0,
countret_0 = countcal_1,
countret_0 = countcal_2,
countret_0 = COUNT0INI + countcal_0,
countret_0 = COUNT0INI + countcal_1,
countret_0 = COUNT0INI + countcal_2
```

【0404】

セレクタ付き演算器52-1は、制御信号CNT1RETMIDの値に応じて入力信号COUNT1INI、演算器51-0の出力信号countcal_0、演算器51-1の出力信号countcal_1、および演算器51-2の出力信号countcal_2を演算した結果を信号countret_1としてセレクタ53-1に出力する。

具体的には、演算器52-1は、制御信号CNT1RETMIDの値に応じて、以下のいずれかの演算を行う。

【0405】

【数22】

```
countret_1 = COUNT1INI,
```

```

countret_1=countcal_0,
countret_1=countcal_1,
countret_1=countcal_2,
countret_1=COUNT2INI+countcal_0,
countret_1=COUNT2INI+countcal_1,
countret_1=COUNT2INI+countcal_2

```

【0406】

セレクタ付き演算器52-2は、制御信号CNT2RETMIDの値に応じて入力信号COUNT2INI、演算器51-0の出力信号countcal_0、演算器51-1の出力信号countcal_1、および演算器51-2の出力信号countcal_2を演算した結果を信号countret_2としてセレクタ53-2に出力する。

具体的には、演算器52-2は、制御信号CNT2RETMIDの値に応じて、以下のいずれかの演算を行う。

【0407】

【数23】

```

countret_2=COUNT2INI,
countret_2=countcal_0,
countret_2=countcal_1,
countret_2=countcal_2,
countret_2=COUNT2INI+countcal_0,
countret_2=COUNT2INI+countcal_1,
countret_2=COUNT2INI+countcal_2

```

【0408】

セレクタ53-0は、比較器56-0の出力信号countend_0、および比較器57-0の出力信号countinc_0の値に応じて、演算器51-0の出力信号countcal_0、入力信号COUNT0INI、演算器52-0の出力信号countret_0の値を選択して、カウンタ54-0に出力する。

【0409】

セレクタ53-1は、比較器56-1の出力信号countend_1、および比較器57-1の出力信号countinc_1の値に応じて、演算器51-1の出力信号countcal_1、入力信号COUNT1INI、演算器52-1の出力信号countret_1の値を選択して、カウンタ54-1に出力する。

【0410】

セレクタ53-2は、比較器56-2の出力信号countend_2、および比較器57-2の出力信号countinc_2の値に応じて、演算器51-2の出力信号countcal_2、入力信号COUNT2INI、演算器52-2の出力信号countret_2の値を選択して、カウンタ54-2に出力する。

【0411】

セレクタ53-xは、比較器56-xの出力信号countend_xの値に応じて、演算器51-xの出力信号countcal_x、入力信号COUNTxINIの値を選択して、カウンタ54-xに出力する。

【0412】

カウンタ54-0は、セレクタ53-0の出力信号をカウントデータcountdat_0として格納し、格納データを演算器51-0、比較器55、およびセレクタ付き演算器58に出力する。

【0413】

カウンタ54-1は、セレクタ53-1の出力信号をカウントデータcountdat_1として格納し、格納データを演算器51-1、比較器55、およびセレクタ付き演算器58に出力する。

【0414】

カウンタ54-2は、セレクタ53-2の出力信号をカウントデータcountdat_2として格納し、格納データを演算器51-2、比較器55、およびセレクタ付き演算器58に出力する。

【0415】

カウンタ54-xは、セレクタ53-xの出力信号をカウントデータcountdat_xとして格納し、格納データを演算器51-x、比較器55、およびセレクタ付き演算器58に出力する。

【0416】

比較器55は、カウンタ54-0によるカウンタデータcountdat_0、カウンタ54-1によるカウンタデータcountdat_1、カウンタ54-2によるカウンタデータcountdat_2、カウンタ54-xによるカウンタデータcountdat_x、および入力信号COUNT0INI、COUNT1INI、COUNT2INI、COUNT0FIN、COUNT1FIN、COUNT2FINの値を演算し、結果endsig0を比較器56-0に出力し、結果endsig1を比較器56-1に出力し、結果endsig2を比較器56-2に出力し、結果endsigxを比較器56-xに出力する。

【0417】

具体的には、比較器55は、 $j = 0, 1, 2, x$ について、カウンタ54-0によるカウンタデータcountdat_0と入力信号COUNT0INIが等しいときにendsigj = eq0、カウンタ54-1によるカウンタデータcountdat_1と入力信号COUNT1INIが等しいときにendsigj = eq1、カウンタ54-2によるカウンタデータcountdat_2と入力信号COUNT2INIが等しいときにendsigj = eq2を設定する。

同様に、比較器55は、カウンタ54-0によるカウンタデータcountdat_0と入力信号COUNT0FINが等しいときにendsigj = eq3、カウンタ54-1によるカウンタデータcountdat_1と入力信号COUNT1FINが等しいときにendsigj = eq4、カウンタ54-2によるカウンタデータcountdat_2と入力信号COUNT2FINが等しいときにendsigj = eq5を設定する。

また、比較器55は、カウンタ54-0によるカウンタデータcountdat_0とカウンタ54-1によるカウンタデータcountdat_1が等しいときendsigj = eq6、カウンタ54-1によるカウンタデータcountdat_1とカウンタ54-2によるカウンタデータcountdat_2が

等しいとき `endsigj = eq 7`、カウンタ 54-2 によるカウントデータ `countdat_2` とカウンタ 54-0 によるカウントデータ `countdat_0` が等しいとき `endsigj = eq 8` を設定する。

【0418】

比較器 56-0 は、制御信号 CNT0ENDMD の値に応じて、比較器 55 の出力信号 `endsig0` の値から、信号 `countend_0` を生成し、セレクタ 53-0、比較器 57-1, 57-2、および制御信号生成器 61 に出力する。

具体的には、比較器 56-0 は、制御信号 CNT0ENDMD の値と比較器 55 の出力信号 `endsig0` の値が、一致していれば信号 `countend_0` に真を設定し、一致していなければ信号 `countend_0` に偽を設定する。

【0419】

比較器 56-1 は、制御信号 CNT1ENDMD の値に応じて、比較器 55 の出力信号 `endsig1` の値から、信号 `countend_1` を生成し、セレクタ 53-1、比較器 57-0, 57-2、および制御信号生成器 61 に出力する。

具体的には、比較器 56-1 は、制御信号 CNT1ENDMD の値と比較器 55 の出力信号 `endsig1` の値が、一致していれば信号 `countend_1` に真を設定し、一致していなければ信号 `countend_1` に偽を設定する。

【0420】

比較器 56-2 は、制御信号 CNT2ENDMD の値に応じて、比較器 55 の出力信号 `endsig2` の値から、信号 `countend_2` を生成し、セレクタ 53-2、比較器 57-0, 57-1、および制御信号生成器 61 に出力する。

具体的には、比較器 56-2 は、制御信号 CNT2ENDMD の値と比較器 55 の出力信号 `endsig2` の値が、一致していれば信号 `countend_2` に真を設定し、一致していなければ信号 `countend_2` に偽を設定する。

【0421】

比較器 56-x は、比較器 55 の出力信号 `endsigx` の値から、信号 `co`

untend_xを生成し、セレクタ53-xに出力する。

【0422】

比較器57-0は、制御信号CNT0INCMDの値に応じて、比較器56-1の出力信号countend_1、および比較器56-2の出力信号countend_2の値から信号countinc_0を生成し、セレクタ53-0に出力する。

具体的には、比較器57-0は、制御信号CNT0INCMDの値に応じて、比較器56-1の出力信号countend_1が真のときに信号countinc_0に真を設定し、偽のときに信号countinc_0に偽を設定する。

または、比較器57-0は、制御信号CNT0INCMDの値に応じて、比較器56-2の出力信号countend_2が真のときに信号countinc_0に真を設定し、偽のときに信号countinc_0に偽を設定する。

または、比較器57-0は、制御信号CNT0INCMDの値に応じて、比較器56-1の出力信号countend_1、かつ比較器56-2の出力信号countend_2が真のときに信号countinc_0に真を設定し、偽のときに信号countinc_0に偽を設定する。

【0423】

比較器57-1は、制御信号CNT1INCMDの値に応じて、比較器56-2の出力信号countend_2、および比較器56-0の出力信号countend_0の値から信号countinc_1を生成し、セレクタ53-1に出力する。

具体的には、比較器57-1は、制御信号CNT1INCMDの値に応じて、比較器56-2の出力信号countend_2が真のときに信号countinc_1に真を設定し、偽のときに信号countinc_1に偽を設定する。

または、比較器57-1は、制御信号CNT0INCMDの値に応じて、比較器56-0の出力信号countend_0が真のときに信号countinc_1に真を設定し、偽のときに信号countinc_1に偽を設定する。

または、比較器57-1は、制御信号CNT1INCMDの値に応じて、比較器56-2の出力信号countend_2、かつ比較器56-0の出力信号c

`countend_0`が真のときに信号`countinc_1`に真を設定し、偽のときに信号`countinc_1`に偽を設定する。

【0424】

比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-0の出力信号`countend_0`、および比較器56-1の出力信号`countend_1`の値から信号`countinc_2`を生成し、セレクタ53-2に出力する。

具体的には、比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-0の出力信号`countend_0`が真のときに信号`countinc_2`に真を設定し、偽のときに信号`countinc_2`に偽を設定する。

または、比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-1の出力信号`countend_1`が真のときに信号`countinc_2`に真を設定し、偽のときに信号`countinc_2`に偽を設定する。

または、比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-0の出力信号`countend_0`、かつ比較器56-1の出力信号`countend_1`が真のときに信号`countinc_2`に真を設定し、偽のときに信号`countinc_2`に偽を設定する。

【0425】

セレクタ付き演算器58は、制御信号COUNTSUMの値に応じて、カウンタ54-0によるカウントデータ`countdat_0`、カウンタ54-1によるカウントデータ`countdat_1`、カウンタ54-2によるカウントデータ`countdat_2`、カウンタ54-3によるカウントデータ`countdat_x`、および入力信号OFFSETに基づいて信号`sumadr`を生成し、ピット反転器59、およびマスク生成器60に出力する。

具体的には、演算器58は、制御信号COUNTSUMの値に応じて、以下のいずれかの演算を行う。

【0426】

【数24】

$$\text{sumadr} = \text{OFFSET} + \text{countdat}_0,$$

```

sumadr=OFFSET+countdat_1,
sumadr=OFFSET+countdat_2,
sumadr=OFFSET+countdat_0+countdat_1,
sumadr=OFFSET+countdat_0+countdat_2,
sumadr=OFFSET+countdat_1+countdat_2,
sumadr=OFFSET+countdat_0+countdat_1
+countdat_2,
sumadr=OFFSET+countdat_0+countdat_1
+countdat_2,
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1),
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1)-1,
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1)+1,
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1)
+2^(countdat_x),
sumadr=OFFSET+countdat_0
*2^(COUNTxFIN-countdat_x)

```

【0427】

ビット反転器59は、制御信号MSKMDの値に応じて、セレクタ付セレクタ付演算器58の生成信号sumadrから信号brvadrを生成し、マスク生成器60に出力する。

具体的には、ビット反転器59は、制御信号MSKMDの値に応じて、mを決定し、信号brvadrにセレクタ付演算器58の生成信号sumadrのLSBからm-1ビットまでのビット反転を設定する。

【0428】

マスク生成器60は、制御信号MSDMDの値に応じて、ビット反転器59の

生成信号 b_{rvadr} 、セレクタ付演算器 58 の生成信号 $sumadr$ 、および入力信号 MASK に基づいてアドレス信号 GENADR を生成する。

具体的には、マスク生成器 60 は、制御信号 MSKMD の値に応じて、ビット反転器 59 の生成信号 b_{rvadr} とセレクタ付演算器 58 の生成信号 $sumadr$ の値を選択し、その結果と入力信号 MASK の値を各ビット単位で AND (論理積)、OR (論理和)、XOR (排他的論理和) のいずれかの操作を行い、信号 GENADR を生成する。

この生成されたアドレス信号 GENADR が、たとえば図 12 の演算システムのデータメモリ 46 に供給される。

【0429】

制御信号生成器 61 は、制御信号 CTRLMD の値に応じて、比較器 56-0 の出力信号 $countend_0$ 、比較器 56-1 の出力信号 $countend_1$ 、および比較器 56-2 の出力信号 $countend_2$ に基づいて制御信号 CTRL を生成し、アドレスが生成されている期間はアドレス有効信号 VALID_ID を有効にする。

また、制御信号 COUNTEN の値に応じて、内部に持つカウンタ 54-0、54-1、54-2、および 54-x のカウントアップの許可／不許可の制御を行う。

【0430】

具体的には、制御信号生成器 61 は、制御信号 CTRLMD の値に応じて、

- ・信号 $countend_0$ が真のとき、
- ・信号 $countend_1$ が真のとき、
- ・信号 $countend_2$ が真のとき、
- ・信号 $countend_0$ が真かつ信号 $countend_1$ が真のとき、
- ・信号 $countend_0$ が真かつ信号 $countend_2$ が真のとき、
- ・信号 $countend_1$ が真かつ信号 $countend_2$ が真のとき

のいずれかの場合に制御信号 CTRL を有効にし、それ以外のときは CTRL を無効にする。

【0431】

次に、上記構成によるアドレス生成の具体的な動作を、図14の3重ループの場合を例に、図15に関連付けて説明する。

【0432】

まず、入力信号として与えられる各カウンタのステップ値、初期値、終了値がそれぞれ以下のように設定される。

【0433】

ステップ値信号COUNT0STPが「3」に設定されて演算器51-0に供給され、初期値信号COUNT0INIが「0」に設定されて演算器52-0、およびセレクタ53-0に供給され、終了値信号COUNT0FINが「3」に設定されて比較器55に供給される。

同様に、ステップ値信号COUNT1STPが「5」に設定されて演算器51-1に供給され、初期値信号COUNT1INIが「0」に設定されて演算器52-1、およびセレクタ53-1に供給され、終了値信号COUNT1FINが「10」に設定されて比較器55に供給される。

ステップ値信号COUNT2STPが「1」に設定されて演算器51-2に供給され、初期値信号COUNT2INIが「0」に設定されて演算器52-2、およびセレクタ53-2に供給され、終了値信号COUNT2FINが「1」に設定されて比較器55に供給される。

また、初期値信号COUNTxINIが「0」に設定されてセレクタ53-xに供給され、終了値信号COUNTxFINが「0」に設定されて演算器51-xに供給される。

【0434】

また、制御信号CNT0INIMDは加算の実行を選択するように、演算器51-0に供給される。

同様に、制御信号CNT1INIMDは加算の実行を選択するように、演算器51-1に供給され、制御信号CNT2INIMDは加算の実行を選択するように、演算器51-2に供給される。

【0435】

さらに、制御信号CNT0RETMIDがCOUNT0INIを選択するように

設定されて、演算器52-0に供給される。

同様に、制御信号CNT1RETMDがCOUNT1INIを選択するように設定されて演算器52-1に供給され、制御信号CNT2RETMDがCOUNT2INIを選択するように設定されて演算器52-2に供給される。

【0436】

また、制御信号CNT0ENDMDが、カウンタ54-0のカウントデータcountdat_0と終了値信号COUNT0FINが一致したときの比較器5の出力信号ednsig0を入力したときに、信号countend_0に真を設定するように、比較器56-0に供給される。

同様に、制御信号CNT1ENDMDが、カウンタ54-1のカウントデータcountdat_1と終了値信号COUNT1FINが一致したときの比較器55の出力信号ednsig1を入力したときに、信号countend_1に真を設定するように、比較器56-1に供給される。

そして、制御信号CNT2ENDMDが、カウンタ54-2のカウントデータcountdat_2と終了値信号COUNT2FINが一致したときの比較器55の出力信号ednsig2を入力したときに、信号countend_2に真を設定するように、比較器56-2に供給される。

【0437】

また、制御信号CNT0INCMDが、比較器57-2の出力信号countend_2が真で、かつ比較器57-1の出力信号countend_1が真であるときに、信号countinc_0に真を設定するように、比較器57-0に供給される。

また、制御信号CNT1INCMDが、比較器57-2の出力信号countend_2が真であるときに、信号countinc_1に真を設定するよう、比較器57-1に供給される。

また、制御信号CNT2INCMDが、常に信号countinc_2に真を設定するよう、比較器57-2に供給される。

【0438】

さらに、制御信号COUNTSUMが、カウンタ54-0によるカウントデ

タ `countdat_0` の値、カウンタ 54-1 によるカウントデータ `countdat_1` の値、およびカウンタ 54-2 によるカウントデータ `countdat_2` の値の合計を出力するモードに設定されるように、セレクタ付演算器 58 に供給される。

【0439】

また、セレクタ付演算器 58 に供給される入力信号 OFFSET、およびマスク生成器 60 に供給される入力信号 MASK が「0」に設定される。

さらに、制御信号 MSKMD が、ビットリバースなし、マスクをしないモードに設定するように、ビット反転器 59、およびマスク生成器 60 に供給される。

【0440】

このような状態において、アドレス生成装置 50 が、図示しない制御回路からアドレス生成起動信号を受けて、カウンタ 54-0～54-x が所定のタイミングでカウント動作を開始される。

この場合、カウンタ 54-2 では、図 15 (j) に示すように、比較器 57-2 の出力信号 `countinc_2` が常に真（図 15 ではハイレベル）、すなわち、常にカウントアップを示しているのでカウントアップはじめ、初期値 0 にステップ値信号 COUNT2STP の値「1」が加えられ、カウントデータ `countdat_2` は、図 15 (c) に示すように、0 から 1 となる。

【0441】

カウンタ 54-2 のカウントデータ `countdat_2` が「1」になり、比較器 55 に供給される。このカウントデータ `countdat_2` の値「1」は、終了値信号 COUNT2FIN と等しくなるので、その旨を示す信号 endsig 2 が比較器 56-2 に供給され、図 15 (g) に示すように、比較器 56-2 の出力信号 `countend_2` が真に設定されて比較器 57-1, 57-0、および制御信号生成器 61 に供給される。

【0442】

比較器 56-2 の出力信号 `countend_2` が真で供給された比較器 57-1 では、図 15 (i) に示すように、その出力信号 `countinc_1` が真に設定される。

これにより、カウンタ54-1においてカウントアップが行われ、カウントデータcountdat_1は、図15(b)に示すように「5」になる。

このとき、カウンタ54-2は、制御信号CNT1RETMDに従って、セレクタ53-2を介して初期値0に戻される。

このとき、カウンタ54-0では、図15(h)に示すように、比較器57-0の出力信号countinc_0が偽(図15ではローレベル)であることから、カウントアップ動作が開始されない。

【0443】

カウンタ54-2のカウントデータcountdat_2が、図15(c)に示すように、再び「1」になると、カウンタ54-1がカウントアップされることを繰り返される。

図15(b)に示すように、カウンタ54-1のカウントデータcountdat_1が「10」になった時点で、終了値信号COUNT1FINと等しくなるので、その旨を示す信号endsig1が比較器56-1に供給され、図15(f)に示すように、比較器56-1の出力信号countend_1が真に設定されて比較器57-0, 57-2、および制御信号生成器61に供給される。

【0444】

比較器56-1の出力信号countend_1が真で供給された比較器57-0では、図15(h)に示すように、その出力信号countinc_0が真に設定される。

これにより、カウンタ54-0においてカウントアップが行われ、カウントデータcountdat_0は、図15(a)にしめすように「0」から「3」に更新される。

【0445】

生成されるアドレスは、制御信号COUNTSUMを受けたセレクタ付演算器58では、カウンタ54-0のカウントデータcountdat_0、カウンタ54-1のカウントデータcountdat_1、およびカウンタ54-2のカウントデータcountdat_2の合計値を出力するモードになっているので、マスク生成器60から、図15(d)に示すように、アドレス信号GENAD

Rとしてカウンタの合計値が出力される。

【0446】

さらに、制御信号CTRLMDが、比較器56-1の出力信号countend_1、かつ比較器56-2の出力信号countend_2が真のときに制御信号CTRLを出力するように、制御信号生成器61に供給されると、図15(1)に示すように、両信号が真となるそのタイミングでCTRLが真になる。

【0447】

以上説明したように、本第11の実施形態によれば、従来のDSPなどではアドレス生成不可能だった複雑なループのネスト、FFTアクセスパターン、ビットリバース等を行おうとする場合に、アドレスを自動生成することができる。このためALUを用いてアドレス計算を行う必要がなくなり、処理に必要なサイクル数が減り効率が良くなる利点がある。

【0448】

なお、以上の説明では、図14に関連付けて、3重ループの場合を例を説明したが、本発明は、これに限定されるものではなく、カウンタ数の異なる種々の様が可能であることはいうまでもない。

【0449】

以下に、カウンタ数が上述した例の拡張である一般的な実現例について説明する。

【0450】

このアドレス生成装置は、カウンタCounter_i、Counter_x、演算器INCDEC_i、INCDEC_x、セレクタ付き演算器SUM_i、ADRSUM、セレクタSEL_i、SEL_x、比較器END、END_i、END_x、INC_i、ビット反転器BRV、およびマスク生成器ADRMASKにより構成される（ただし $0 \leq i \leq n-1$ ）。

【0451】

また、このアドレス生成装置は、入力信号COUNT_iSTP、COUNT_iINI、COUNT_iFIN、COUNT_xFIN、OFFSET、MASKと、制御信号CNT_i1NIMD、CNT_iRETMD、CNT_iENDMD、C

NTiINCMD, CTRLMD, COUNTSUM, MSKMD, COUNTENが供給され、制御信号CTRL、および生成アドレスGENADRを出力する。

【0452】

ここで、 $i = 0 \sim n - 1$ のすべての i について、カウンタCounter i はカウントデータcountdat $_i$ を格納し、カウンタCounter x はカウントデータcountdat $_x$ を格納する。

【0453】

$i = 0 \sim n - 1$ のすべての i について、演算器INCDEC i は制御信号CNT i INIMDの値に応じてステップ値信号COUNT i STPとカウンタCounter i のカウントデータcountdat $_i$ を演算した結果を信号countcal $_i$ として出力、演算器INCDEC x は終了値信号COUNT x FINとカウンタCounter x のカウントデータcountdat $_x$ を演算した結果を信号countcal $_x$ を出力する。

【0454】

$i = 0 \sim n - 1$ のすべての i について、セレクタ付き演算器SUM i は制御信号CNT i RETMDの値に応じて初期値信号COUNT i INI、演算器INCDEC i の出力信号countcal $_0$, countcal $_1$, …, countcal $_{n-1}$ を演算した結果を、セレクタSEL i を介してカウンタCounter i に出力する。

【0455】

$i = 0 \sim n - 1$ のすべての i について、比較器ENDはカウンタCounter i のカウントデータcountdat $_0$, countdat $_1$, …, countcal $_{n-1}$ 、カウンタCounter x のカウントデータcountdat $_x$ 、初期値信号COUNT0INI, COUNT1INI, …, COUNT $n-1$ INI、終了値信号COUNT0FIN, COUNT1FIN, …, COUNT $n-1$ FINの値を演算した結果を信号endsig i として出力し、また、カウンタCounter i のカウントデータcountdat $_0$, countdat $_1$, …, countcal $_{n-1}$ 、カウンタCounter x のカウントデータcou

`nt dat_x`、初期値信号`COUNT0INI`, `COUNT1INI`, …, `COUNTn-1INI`、終了値信号`COUNT0FIN`, `COUNT1FIN`, …, `COUNTn-1FIN`の値を演算した結果を信号`endsigx`として出力する。

【0456】

$i = 0 \sim n - 1$ のすべての i について、比較器`ENDi` は制御信号`CNTiE` `NDMD` の値に応じて、比較器`END` の出力信号`endsigi` の値から信号`countend_i` を生成し、比較器`ENDx` は比較器`END` の出力信号`endsigx` の値から信号`countend_x` を生成する。

【0457】

$i = 0 \sim n - 1$ のすべての i について、比較器`INCi` は制御信号`CNTiI` `NCMD` の値に応じて、 $j = 0 \sim n - 1$ のすべての j (ただし $j \neq i$) について比較器`ENDi` の出力信号`countend_j` 値から信号`countinc_0` を生成する。

【0458】

$i = 0 \sim n - 1$ のすべての i について、セレクタ`SELi` は比較器`INCi` の出力信号`countinc_i`、比較器`ENDi` の出力信号`countend_i` の値に応じて、演算器`INCDECi` の出力信号`countcla_i`、初期値信号`COUNTiINI`、演算器`SUMi` の出力信号`countret_i` の値を選択して、カウンタ`Counter i` のカウントデータ`countdat_i` を設定し、セレクタ`SELx` は比較器`ENDx` の出力信号`countend_x` の値に応じて、演算器`INCDECx` の出力信号`countcal_x`、初期値信号`COUNTxINI` の値を選択して、カウンタ`Counter x` のカウントデータ`countdat_x` を設定する。

【0459】

セレクタ付演算器`ADRSUM` は、制御信号`COUNTSUM` の値に応じて、カウンタ`Counter i` のカウントデータ`countdat_0`, `countdat_1`, …, `countcal_n-1`、カウンタ`Counter x` のカウントデータ`countdat_x`、入力信号`OFFSET` から信号`sumadr` を生成する。

【0460】

ビット反転器B R Vは、制御信号M S K M Dの値に応じてセレクタ付演算器A D R S U Mの出力信号s u m a d r から信号b r v a d r を生成する。

【0461】

マスク生成器A D R M S Kは、制御信号M S D M Dの値に応じビット反転器b r v a d r とセレクタ付演算器A D R S U Mの出力信号s u m a d r と入力信号M A S Kからアドレス信号G E N A D R を生成する。

【0462】

制御信号生成器C T R L G E Nは、制御信号C T R L M Dの値に応じてカウンタCounter i のカウントデータc o u n t d a t _ 0, c o u n t d a t _ 1, …, c o u n t c a l _ n - 1 から制御信号C T R L を生成する。

制御信号生成器C T R L G E Nは、アドレスが生成されている期間はアドレス有効信号V A L I D を有効にする。

【0463】

そして、上述した構成を有するアドレス生成装置において、 $i = 0 \sim n - 1$ のすべての i について、以下の処理が行われる。

【0464】

$i = 0 \sim n - 1$ のすべての i について、演算器I N C D E C i は、制御信号C N T i I N I M Dの値に応じて、次のいずれかの演算を行う。

【0465】

【数25】

```
c o u n t c a l _ i = C O U N T i S T P + c o u n t d a t _ i,
c o u n t c a l _ i = C O U N T i S T P - + c o u n t d a t _ i
```

【0466】

$i = 0 \sim n - 1$ のすべての i について、セレクタ付演算器S U M i は、制御信号C N T i R E T M Dの値に応じて、次のいずれかの演算を行う。

【0467】

【数26】

```
c o u n t r e t _ i = C O U N T i I N I ,
```

```

countret_i=countcal_0,
countret_i=countcal_1,
...
countret_i=countcal_n-1,
countret_i=COUNTiINI+countcal_0,
countret_i=COUNTiINI+countcal_1,
...
countret_i=COUNTiINI+countcal_n-1

```

【0468】

$i = 0 \sim n - 1$ のすべての i について、比較器ENDは、カウントデータcountdat_0と初期値信号COUNT0INIが等しいときにendsigi = INI0、カウントデータcountdat_1と初期値信号COUNT1INIが等しいときにendsigi = INI1、…、カウントデータcountdat_n-1と初期値信号COUNTn-1INIが等しいときにendsigi = INIn-1を設定する。

同様に、比較器ENDは、カウントデータcountdat_0と終了値信号COUNT0FINが等しいときにendsigi = FIN0、カウントデータcountdat_1と終了値信号COUNT1FINが等しいときにendsigi = FIN1、…、カウントデータcountdat_n-1と終了値信号COUNTn-1FINが等しいときにendsigi = FINn-1を設定する。

また、比較器ENDは、カウントデータcountdat_0とcountdat_1が等しいときにendsigi = eq01、カウントデータcountdat_0とcountdat_2が等しいときにendsigi = eq02、…カウントデータcountdat_0とcountdat_n-1が等しいときにendsigi = eqn-1、……、countdat_n-1とcountdat_n-2が等しいときにendsigi = eqn-1n-2を設定する。

【0469】

$i = 0 \sim n - 1$ のすべての i について、比較器ENDiは、制御信号CNTi ENDMDの値と信号endsigiの値が一致していれば信号counten

`d_i`に真を設定し、一致していなければ信号`countend_i`に偽を設定する。

【0470】

$i = 0 \sim n - 1$ のすべての i について、比較器 `INCi` は、制御信号 `CNTi` `INCMD` の値に応じて、 $j = 0 \sim n - 1$ のすべての j (ただし $j \neq i$) について、信号 `countend_j` が真のときに信号 `countinc_i` に真を設定し、信号 `countend_j` が偽のときには信号 `countinc_i` に偽を設定する。

または、比較器 i は、 $j = 0 \sim n - 1$ のすべての j (ただし $i \neq j$) と $k = 0 \sim n - 1$ のすべての k (ただし $k \neq i$) について、信号 `countend_j` が真で、かつ、信号 `countend_k` が真のときに、信号 `countinc_i` に真を設定し、そうでないときに信号 `countinc_i` に偽を設定する。

【0471】

セレクタ付演算器 `ADRSUM` は、制御信号 `COUNTSUM` の値に応じてのいずれかの演算を行う。

【0472】

【数27】

```
sumadr = OFFSET + countdat_0,
sumadr = OFFSET + countdat_1,
...
sumadr = OFFSET + countdat_n-1,
sumadr = OFFSET + countdat_0 + countdat_1,
sumadr = OFFSET + countdat_0 + countdat_2,
...
sumadr = OFFSET + countdat_0 + countdat_n-1,
sumadr = OFFSET + countdat_1 + countdat_2,
```

```

sumadr=OFFSET+countdat_1
+countdat_n-1,
...
sumadr=OFFSET+countdat_n-2
+countdat_n-1,
sumadr=OFFSET+countdat_0+countdat_1
+countdat_2,
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1),
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1)-1,
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1)+1,
sumadr=OFFSET+countdat_0+countdat_1
*2^(countdat_x+1)
+2^(countdat_x),
sumadr=OFFSET+countdat_0
*2^(COUNTxFIN-countdat_x)

```

【0473】

ビット反転器B RVは、制御信号MSKMDの値に応じてmを決定し、信号b
rvadrにセレクタ付演算器ADRSUMの生成信号sumadrのLSBから
m-1ビットまでのビット反転を設定する。

【0474】

マスク生成器ADRMASKは、制御信号MSKMDの値に応じて、ビット反転
器B RVの生成信号b rvadr、セレクタ付演算器ADRSUMの生成信号s
umadrを選択し、その結果と入力信号MASKの値を各ビット単位でAND
(論理積)、OR(論理和)、XOR(排他的論理和)のいずれかの操作を行い
、信号GENADRを生成する。

【0475】

制御信号生成器CTRLGENは、制御信号CTRLMDの値に応じて、カウントデータcountdat_0が真のとき、カウントデータcountdat_1が真のとき、…、カウントデータcountdat_n-1が真のとき、カウントデータcountdat_0が真かつカウントデータcountdat_1が真のとき、カウントデータcountdat_0が真かつカウントデータcountdat_2が真のとき、…、カウントデータcountdat_0が真かつカウントデータcountdat_n-1が真のとき、…、カウントデータcountdat_n-2が真かつカウントデータcountdat_n-1が真のときのいずれかの場合に制御信号CTRLを有効にし、それ以外のときは制御信号CTRLを無効にし、アドレスが生成されている期間はアドレス有効信号VALIDを有効にする。

また、制御信号COUNTENの値に応じて、内部に持つカウンタCounteri（ただし $0 \leq i \leq n-1$ ）、Countexのカウントアップを許可／不許可にする。

【0476】

以上説明した一般的な例においても、上述した図14の装置の作用効果と同様の作用効果を得ることができる。

【0477】

第12実施形態

図16は、本発明の第12の実施形態を説明するための図であって、本発明に係るインタリープ装置のデータ読み出し系の一例を示す構成図である。

【0478】

本インタリープ装置70は、特定のアクセスパターンに対して、デュアルポートメモリが必要なアクセスを、シングルポートメモリを用いて実現することができる装置であって、FFT演算のデータアクセス等に利用できる。

したがって、本インタリープ装置70は、たとえば上述した第10の実施形態を示す図12の演算システムのデータメモリから演算装置へのデータ伝送系に適用可能である。

なお、以下の説明では、図示しないシングルポートメモリは、メモリバンクMBNK0とメモリバンクMBNK1を有し、インタリープ装置70は、メモリバ

ンクMBNK0とメモリバンクMBNK1に対するアクセスを行うものとする。

【0479】

本インタリーブ装置70は、図16に示すように、第1の遅延装置（DFF0）71-0、第2の遅延装置（DFF1）71-1、第1の選択装置（sel0）72-0、および第2の選択装置（sel1）72-1を有している。

【0480】

そして、インタリーブ装置70は、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、および読み出しデータ出力MEMR0、MEMR1を有し、制御信号mb selr0, mb selr1が供給される。

【0481】

第1の遅延装置71-0は、たとえばD型フリップフロップにより構成され、1サイクルの遅延を生じさせ、メモリバンクMBNK0からの読み出しデータ入力MBNKR0を1サイクルだけ遅延させ、信号mbnkr0_dとして第1の選択装置72-0、および第2の選択装置72-1に出力する。

【0482】

第2の遅延装置71-1は、たとえばD型フリップフロップにより構成され、1サイクルの遅延を生じさせ、メモリバンクMBNK1からの読み出しデータ入力MBNKR1を1サイクルだけ遅延させ、信号mbnkr1_dとして第1の選択装置72-0、および第2の選択装置72-1に出力する。

【0483】

第1の選択装置72-0は、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0_d、および第2の遅延装置71-1の出力信号mbnkr1_dを入力とし、制御信号mb selr0の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0_d、および第2の遅延装置71-1の出力信号mbnkr1_dのうちのいずれかの値を、読み出しデータ出力MEMR0

として選択する。

【0484】

第2の選択装置72-1は、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0_d、および第2の遅延装置71-1の出力信号mbnkr1_dを入力とし、制御信号mbselr1の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0_d、および第2の遅延装置71-1の出力信号mbnkr1_dのうちのいずれかの値を、読み出しデータ出力MEMR1として選択する。

【0485】

次に、上記構成による動作を、図17に関連付けて説明する。

【0486】

図17は、図16の読み出し系インタリーブ装置の動作を説明するためのタイミングチャートである。

このタイミングチャートは、はじめの2サイクル(cycle 0, cycle 1)は通常のメモリアクセス、すなわち読み出しデータ出力MEMR0にメモリバンクMBNK0からの読み出しデータ入力MBNKR0を送り、読み出しデータ出力MEMR1にメモリバンクMBNK1から読み出したデータMBNKR1を送るアクセスを表し、残りのサイクル(cycle 2~)は読み出しデータ出力MEMR0, MEMR1で1サイクル中にメモリバンクMBNK0からの読み出しデータ入力MBNKR0を同時に利用、あるいは1サイクル中にメモリバンクMBNK1からの読み出しデータ入力MBNKR1のデータを同時に利用する場合を表している。

【0487】

図17(a)に示すように、サイクル(cycle)0でメモリバンクMBNK0から読み出したデータ入力MBNKR0はeven0のデータになる。

cycle1で読み出しデータ入力MBNKR0はeven1になり、メモリ

バンクMBNK1からの読み出しデータ入力MBNKR1は、図1.7 (b) に示すように、odd0になる。

そして、読み出しデータ入力MBNKR0は、そのまま直接に第1の選択装置72-0、および第2の選択装置72-1に入力され、かつ、第1の遅延装置71-0で1サイクルだけ遅延され、信号mbnkr0_dとして第1の選択装置72-0、および第2の選択装置72-1に入力される。

同様に、読み出しデータ入力MBNKR1は、そのまま直接に第1の選択装置72-0、および第2の選択装置72-1に入力され、かつ、第2の遅延装置71-1で1サイクルだけ遅延され、信号mbnkr1_dとして第1の選択装置72-0、および第2の選択装置72-1に入力される。

【0488】

そして、図1.7 (c), (d) に示すように、cycle1では、読み出しデータ出力MEMR0とMEMR1としてデータeven0、odd0を出力するため、制御信号mbselr0が、図1.7 (e) に示すように、データ入力MBNKR0の1サイクル遅延を生じさせた信号mbnkr0_dを選択するよう、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の読み出しデータ出力MEMR0は、データeven0となる。

同様に、制御信号mbselr1が、図1.7 (f) に示すように、データ入力MBNKR1を選択するよう、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEMR1は、データodd0となる。

【0489】

cycle2では、読み出しデータ入力MBNKR0は、図1.7 (a) に示すように、データeven2となり、読み出しデータ入力MBNKR1は、図1.7 (b) に示すように、データodd1になる。

そして、図1.7 (c), (d) に示すように、cycle2では、読み出しデータ出力MEMR0とMEMR1としてデータeven1、odd1を出力するため、制御信号mbselr0が、図1.7 (e) に示すように、データ入力MBNKR0の1サイクル遅延を生じさせた信号mbnkr0_dを選択するよう

、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の読み出しデータ出力MEMR0は、データeven1となる。

同様に、制御信号mb sel r1が、図17(f)に示すように、データ入力MBNKR1を選択するように、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEMR1は、データodd1となる。

【0490】

cycle3では、読み出しデータ入力MBNKR0は、図17(a)に示すように、データeven3となり、読み出しデータ入力MBNKR1は、図17(b)に示すように、データodd2となる。

そして、図17(c), (d)に示すように、cycle3では、読み出しデータ出力MEMR0とMEMR1としてデータeven2, odd3を出力するため、制御信号mb sel r0が、図17(e)に示すように、データ入力MBNKR0の1サイクル遅延を生じさせた信号mbnkr0_dを選択するように、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の読み出しデータ出力MEMR0は、データeven2となる。

同様に、制御信号mb sel r1が、図17(f)に示すように、データ入力MBNKR0を選択するように、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEMR1は、データeven3となる。

【0491】

cycle4では、読み出しデータ入力MBNKR0は、図17(a)に示すように、データeven4となり、読み出しデータ入力MBNKR1は、図17(b)に示すように、データodd3となる。

そして、図17(c), (d)に示すように、cycle4では、読み出しデータ出力MEMR0とMEMR1としてデータodd2, odd3を出力するため、制御信号mb sel r0が、図17(e)に示すように、データ入力MBNKR1の1サイクル遅延を生じさせた信号mbnkr1_dを選択するように、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の

読み出しデータ出力MEMR0は、データodd2となる。

同様に、制御信号mbselr1が、図17(f)に示すように、データ入力MBNKR1を選択するように、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEMR1は、データodd3となる。

【0492】

以上説明したように、本第12の実施形態によれば、メモリバンクMBNKOからの読み出しデータ入力MBNKR0を1サイクルだけ遅延させ、信号mbnkr0_dとして第1の選択装置72-0、および第2の選択装置72-1に出力する第1の遅延装置71-0と、1サイクルの遅延を生じさせ、メモリバンクMBNKLからの読み出しデータ入力MBNKR1を1サイクルだけ遅延させ、信号mbnkr1_dとして第1の選択装置72-0、および第2の選択装置72-1に出力する第2の遅延装置71-1と、制御信号mbselr0の値に応じて、メモリバンクMBNKOからの読み出しデータ入力MBNKR0、メモリバンクMBNKLからの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0_d、および第2の遅延装置71-1の出力信号mbnkr1_dのうちのいずれかの値を、読み出しデータ出力MEMR0として選択する第1の選択装置72-0と、制御信号mbselr1の値に応じて、メモリバンクMBNKOからの読み出しデータ入力MBNKR0、メモリバンクMBNKLからの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0_d、および第2の遅延装置71-1の出力信号mbnkr1_dのうちのいずれかの値を、読み出しデータ出力MEMR1として選択する第2の選択装置72-1とを設けたので、デュアルポートメモリ(2R2Wメモリ)が必要な状況でも、特定のアクセスパターンの場合にはシングルポートメモリ(1R1Wメモリ)を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポートアビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0493】

第13実施形態

図18は、本発明の第13の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ書き込み系の一例を示す構成図である。

【0494】

本インタリーブ装置80は、特定のアクセスパターンに対して、デュアルポートメモリが必要なアクセスを、シングルポートメモリを用いて実現することが可能な装置であって、FFT演算のデータアクセス等に利用できる。

したがって、本インタリーブ装置80は、たとえば上述した第10の実施形態を示す図12の演算システムの演算装置の演算結果のデータメモリへの書き込みデータのデータ伝送系に適用可能である。

なお、以下の説明でも、図示しないシングルポートメモリは、メモリバンクMBNK0とメモリバンクMBNK1を有し、インタリーブ装置80は、メモリバンクMBNK0とメモリバンクMBNK1に対するアクセスを行うものとする。

【0495】

本インタリーブ装置80は、図18に示すように、第1の遅延装置(dff0)81-0、第2の遅延装置(dff1)81-1、第1の選択装置(sel0)82-0、および第2の選択装置(sel1)82-1を有している。

【0496】

そして、インタリーブ装置80は、系列0からの書き込みデータ入力MEMW0、系列1からの書き込みデータ入力MEMW1、メモリバンクMBNK0への書き込みデータ出力MBNKW0、およびメモリバンクMBNK1への書き込みデータ出力MBNKW1を有し、制御信号mbselw0, mbselw1が供給される。

【0497】

第1の遅延装置81-0は、たとえばD型フリップフロップにより構成され、1サイクルの遅延を生じさせ、系列0からの書き込みデータ入力MEMW0を1サイクルだけ遅延させ、信号memw0_dとして第1の選択装置82-0、および第2の選択装置82-1に出力する。

【0498】

第2の遅延装置81-1は、たとえばD型フリップフロップにより構成され、

1サイクルの遅延を生じさせ、系列1からの書き込みデータ入力MEMW1を1サイクルだけ遅延させ、信号memw1_dとして第1の選択装置82-0、および第2の選択装置82-1に出力する。

【0499】

第1の選択装置82-0は、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0_d、および第2の遅延装置81-1の出力信号memw1_dを入力とし、制御信号mbse1w0の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0_d、および第2の遅延装置81-1の出力信号memw1_dのうちのいずれかの値を、書き込みデータ出力MBNWKW0として選択する。

【0500】

第2の選択装置82-1は、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0_d、および第2の遅延装置81-1の出力信号memw1_dを入力とし、制御信号mbse1w1の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0_d、および第2の遅延装置81-1の出力信号memw1_dのうちのいずれかの値を、書き込みデータ出力MBNWKW1として選択する。

【0501】

次に、上記構成による動作を、図19に関連付けて説明する。

【0502】

図19は、図18の書き込み系インタリーブ装置の動作を説明するためのタイミングチャートである。

このタイミングチャートは、はじめの2サイクル(cycle0, cycle1)は通常のメモリアクセス、すなわちメモリバンクMBNKOへの書き込みデータ出力MBNWKW0に系列0からの書き込みデータ入力MEMW0を送り、メモリバンクMBNKK1への書き込みデータ出力MBNWKW1に系列1からの書き込みデータ入力MEMW1を送るアクセスを表し、残りのサイクル(cycle

2～) は書き込みデータ入力MEMW0, MEMW1が同時に書き込みデータ出力MBNKW0、あるいは書き込みデータ出力MBNKW1としてメモリバンクMBNK0, MBNK1に書き込みをする必要があることを表している。

【0503】

サイクル(cycle)0で、系列0からの書き込みデータ入力MEMW0は、図19(a)に示すように、even0のデータになる。また、系列1からの書き込みデータ入力MEMW1は、図19(b)に示すように、odd0のデータになる。

そして、書き込みデータ入力MEMW0は、そのまま直接に第1の選択装置82-0、および第2の選択装置82-1に入力され、かつ、第8の遅延装置81-0で1サイクルだけ遅延され、信号memw0_dとして第1の選択装置82-0、および第2の選択装置82-1に入力される。

同様に、書き込みデータ入力MEMW1は、そのまま直接に第1の選択装置82-0、および第2の選択装置82-1に入力され、かつ、第2の遅延装置81-1で1サイクルだけ遅延され、信号memw1_dとして第1の選択装置82-0、および第2の選択装置82-1に入力される。

【0504】

そして、図19(c), (d)に示すように、cycle0では、書き込みデータ出力MBNKW0としてデータeven0を出力するため、制御信号mbselw0が、図17(e)に示すように、データ入力MEMW0を選択するよう、第1の選択装置82-0に供給される。これにより、第1の選択装置82-0の書き込みデータ出力MBNKW0は、データeven0となる。

【0505】

cycle1で、系列0からの書き込みデータ入力MEMW0は、図19(a)に示すように、even1のデータになる。また、系列1からの書き込みデータ入力MEMW1は、図19(b)に示すように、odd1のデータになる。

そして、図19(c), (d)に示すように、cycle1では、書き込みデータ出力MBNKW0としてデータeven1を出力するため、制御信号mbselw0が、図19(e)に示すように、データ入力MEMW0を選択するよう

に、第1の選択装置82-0に供給される。これにより、第1の選択装置82-0の書き込みデータ出力MBNKW0は、データeven1となる。

同様に、制御信号mbse1w1が、図19(f)に示すように、データ入力MEMW1の1サイクル遅延を生じさせた信号memw1_dを選択するよう、第2の選択装置82-1に供給される。これにより、第2の選択装置82-1の書き込みデータ出力MBNKW1は、データodd0となる。

【0506】

cycle2で、系列0からの書き込みデータ入力MEMW0は、図19(a)に示すように、even2のデータになる。また、系列1からの書き込みデータ入力MEMW1は、図19(b)に示すように、even3のデータになる。

そして、図19(c), (d)に示すように、cycle2では、書き込みデータ出力MBNKW0としてデータeven2を出力するため、制御信号mbse1w0が、図19(e)に示すように、データ入力MEMW0を選択するよう、第1の選択装置82-0に供給される。これにより、第1の選択装置82-0の書き込みデータ出力MBNKW0は、データeven2となる。

同様に、制御信号mbse1w1が、図19(f)に示すように、データ入力MEMW1の1サイクル遅延を生じさせた信号memw1_dを選択するよう、第2の選択装置82-1に供給される。これにより、第2の選択装置82-1の書き込みデータ出力MBNKW1は、データodd1となる。

【0507】

cycle3で、系列0からの書き込みデータ入力MEMW0は、図19(a)に示すように、odd2のデータになる。また、系列1からの書き込みデータ入力MEMW1は、図19(b)に示すように、odd3のデータになる。

そして、図19(c), (d)に示すように、cycle3では、書き込みデータ出力MBNKW0としてデータeven3を出力するため、制御信号mbse1w0が、図19(e)に示すように、データ入力MEMW1の1サイクル遅延を生じさせた信号memw1_dを選択するよう、第1の選択装置82-0に供給される。これにより、第1の選択装置82-0の書き込みデータ出力MBNKW0は、データeven3となる。

同様に、制御信号m b s e 1 w 1が、図19(f)に示すように、データ入力MEMW0を選択するように、第2の選択装置82-1に供給される。これにより、第2の選択装置82-1の書き込みデータ出力MBNWKW1は、データo d d 2となる。

【0508】

以下、cycle2とcycle3の内容を繰り返す。

【0509】

以上説明したように、本第13の実施形態によれば、系列0からの書き込みデータ入力MEMW0を1サイクルだけ遅延させ、信号memw0_dとして第1の選択装置82-0、および第2の選択装置82-1に出力する第1の遅延装置81-0と、系列1からの書き込みデータ入力MEMW1を1サイクルだけ遅延させ、信号memw1_dとして第1の選択装置82-0、および第2の選択装置82-1に出力する第2の遅延装置81-1と、制御信号m b s e 1 w 0の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0_d、および第2の遅延装置81-1の出力信号memw1_dのうちのいずれかの値を、書き込みデータ出力MBNWKW0として選択する第1の選択装置82-0と、制御信号m b s e 1 w 1の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0_d、および第2の遅延装置81-1の出力信号memw1_dのうちのいずれかの値を、書き込みデータ出力MBNWKW1として選択する第2の選択装置82-1とを設けたので、上述した第12の実施形態と同様に、デュアルポートメモリ(2R2Wメモリ)が必要な状況でも、特定のアクセスパターンの場合にはシングルポートメモリ(1R1Wメモリ)を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポートアビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0510】

第14実施形態

図20は、本発明の第14の実施形態を説明するための図であって、本発明に係るインタリープ装置のデータ読み出し系の一般化した例を示す構成図である。

【0511】

本第14の実施形態は、上述した遅延装置および選択装置を2個ずつ持つ第12の実施形態を一般化して、n個の読み出しデータ入力MBNKR0～MBNKRn-1に対してそれぞれ、n個ずつの遅延装置71A-00～71A-0n-1、…、71A-(n-1)0～71A-(n-1)n-1をもち、各遅延装置71A-00～71A-0n-1、…、71A-(n-1)0～71A-(n-1)n-1の遅延信号mbnkr0_1d～mbnkr0_nd、mbnkr1_1d～mbnkr1_ndをn個の選択装置72A-0～72A-n-1に対して並列に入力させた構成となっている。

【0512】

すなわち、本インタリープ装置70Aは、n×n個の第1の遅延装置71A-00～71A-0n-1、…、第nの遅延装置71A-(n-1)0～71A-(n-1)n-1、およびn個の第1～第nの選択装置72A-0～72A-n-1を有している。

【0513】

そして、インタリープ装置70Aは、メモリバンクMBNKR0からの読み出しデータ入力MBNKR0、メモリバンクMBNKR1からの読み出しデータ入力MBNKR1、…、メモリバンクMBNKRn-1からの読み出しデータ入力MBNKRn-1、および読み出しデータ出力MEMR0～MEMRn-1を有し、制御信号mbselr0, mbselr1, …, mbseln-1が供給される。

【0514】

第1の遅延装置71A-00は、たとえばD型フリップフロップにより構成され、任意のk($0 \leq k \leq n-1$)について、mサイクル($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、メモリバンクMBNKR0からの読み出しデータ入力MBNKR0をmサイクルだけ遅延させ、信号mbnkr0_1dとして第1～第nの選択装置72A-0～72A-n-1に出力する。

【0515】

第1の遅延装置71A-01は、たとえばD型フリップフロップにより構成され、任意のk ($0 \leq k \leq n-1$)について、mサイクル ($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、メモリバンクMBNK0からの読み出しデータ入力MBNKR0をmサイクルだけ遅延させ、信号mbnkr0_2dとして第1～第nの選択装置72A-0～72A-n-1に出力する。

【0516】

同様にして、第1の遅延装置71A-0n-1は、たとえばD型フリップフロップにより構成され、任意のk ($0 \leq k \leq n-1$)について、mサイクル ($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、メモリバンクMBNK0からの読み出しデータ入力MBNKR0をmサイクルだけ遅延させ、信号mbnkr0_n_dとして第1～第nの選択装置72A-0～72A-n-1に出力する。

【0517】

第nの遅延装置71A-(n-1)0は、たとえばD型フリップフロップにより構成され、任意のk ($0 \leq k \leq n-1$)について、mサイクル ($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、メモリバンクMBNKn-1からの読み出しデータ入力MBNKRn-1をmサイクルだけ遅延させ、信号mbnkrn-1_1dとして第1～第nの選択装置72A-0～72A-n-1に出力する

【0518】

第nの遅延装置71A-(n-1)1は、たとえばD型フリップフロップにより構成され、任意のk ($0 \leq k \leq n-1$)について、mサイクル ($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、メモリバンクMBNKn-1からの読み出しデータ入力MBNKRn-1をmサイクルだけ遅延させ、信号mbnkrn-1_2dとして第1～第nの選択装置72A-0～72A-n-1に出力する

【0519】

同様にして、第nの遅延装置71A-(n-1)n-1は、たとえばD型フリップフロップにより構成され、任意のk ($0 \leq k \leq n-1$)について、mサイクル ($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、メモリバンクMBNK

$n - 1$ からの読み出しデータ入力 $MBNKR_{n-1}$ を m サイクルだけ遅延させ、信号 $mbnkr_{n-1_nd}$ として第 1 ~ 第 n の選択装置 $72A-0 \sim 72A-n-1$ に出力する。

【0520】

第 1 の選択装置 $72A-0$ は、メモリバンク $MBNK0$ からの読み出しデータ入力 $MBNKR0$ 、メモリバンク $MBNK1$ からの読み出しデータ入力 $MBNKR1$ 、…、メモリバンク $MBNKn-1$ からの読み出しデータ入力 $MBNKR_{n-1}$ 、第 1 の遅延装置 $71A-0_0 \sim 71A-0_{n-1}$ の出力信号 $mbnkr_{0_1d \sim mbnkr_0_nd}$ 、…、第 n の遅延装置 $71A-(n-1)_0 \sim 71A-(n-1)_{n-1}$ の出力信号 $mbnkr_{1_1d \sim mbnkr_1_nd}$ を入力とし、制御信号 $mbselr0$ の値に応じて、メモリバンク $MBNK0$ からの読み出しデータ入力 $MBNKR0$ 、メモリバンク $MBNK1$ からの読み出しデータ入力 $MBNKR1$ 、…、メモリバンク $MBNKn-1$ からの読み出しデータ入力 $MBNKR_{n-1}$ 、第 1 の遅延装置 $71A-0_0 \sim 71A-0_{n-1}$ の出力信号 $mbnkr_{0_1d \sim mbnkr_0_nd}$ 、…、第 n の遅延装置 $71A-(n-1)_0 \sim 71A-(n-1)_{n-1}$ の出力信号 $mbnkr_{1_1d \sim mbnkr_1_nd}$ のうちのいずれかの値を、読み出しデータ出力 $MEMR0$ として選択する。

【0521】

同様にして、第 1 の選択装置 $72A-n-1$ は、メモリバンク $MBNK0$ からの読み出しデータ入力 $MBNKR0$ 、メモリバンク $MBNK1$ からの読み出しデータ入力 $MBNKR1$ 、…、メモリバンク $MBNKn-1$ からの読み出しデータ入力 $MBNKR_{n-1}$ 、第 1 の遅延装置 $71A-0_0 \sim 71A-0_{n-1}$ の出力信号 $mbnkr_{0_1d \sim mbnkr_0_nd}$ 、…、第 n の遅延装置 $71A-(n-1)_0 \sim 71A-(n-1)_{n-1}$ の出力信号 $mbnkr_{1_1d \sim mbnkr_1_nd}$ を入力とし、制御信号 $mbselrn-1$ の値に応じて、メモリバンク $MBNK0$ からの読み出しデータ入力 $MBNKR0$ 、メモリバンク $MBNK1$ からの読み出しデータ入力 $MBNKR1$ 、…、メモリバンク $MBNKn-1$ からの読み出しデータ入力 $MBNKR_{n-1}$ 、第 1 の遅延装置 $71A-0_0 \sim 71A-0_{n-1}$

A-0 n-1 の出力信号 $m b n k r 0_1 d \sim m b n k r 0_n d$ 、…、第nの遅延装置 $71A-(n-1)0 \sim 71A-(n-1)n-1$ の出力信号 $m b n k r 1_1 d \sim m b n k r 1_n d$ のうちのいずれかの値を、読み出しデータ出力 $MEMR n-1$ として選択する。

【0522】

以上の構成を有するインタリーブ装置 $70A$ においては、上述したように、n 個の読み出しデータ入力 $MBNKR0 \sim MBNKRn-1$ に対してそれぞれ、n 個ずつの遅延装置 $71A-00 \sim 71A-0n-1$ 、…、 $71A-(n-1)0 \sim 71A-(n-1)n-1$ をもち、各遅延装置 $71A-00 \sim 71A-0n-1$ の遅延信号 $m b n k r 0_1 d \sim m b n k r 0_n d$ 、 $m b n k r 1_1 d \sim m b n k r 1_n d$ を n 個の選択装置 $72A-0 \sim 72A-n-1$ に対して並列に入力させた構成となっている以外は、第12の実施形態と同様であり、各部の機能も同様であることから、動作については、そのタイミングチャートを図21に示し、ここでは詳細な説明は省略する。

【0523】

したがって、本第14の実施形態によれば、上述した第12の実施形態と同様に、デュアルポートメモリ（2R2Wメモリ）が必要な状況でも、特定のアクセスパターンの場合にはシングルポートメモリ（1R1Wメモリ）を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポートアビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0524】

第15実施形態

図22は、本発明の第15の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ書き込み系の一般化した例を示す構成図である。

【0525】

本第15の実施形態は、上述した遅延装置および選択装置を2個ずつ持つ第12の実施形態の一般化して、n-1個の読み出しデータ入力 $MBNKR1 \sim MB$

NKRn-1に対してそれぞれ第2の遅延装置81A-1、…、第nの遅延装置81A-n-1をもち、各遅延装置81A-1～81A-n-1の遅延信号m_emw1_1d～m_emw_{n-1}_n-1dをn個の選択装置82A-0～82A-n-1に対して並列に入力させた構成となっている。

【0526】

すなわち、本インタリープ装置80Aは、n-1個の第2～第nの遅延装置81A-1～81A-n-1、およびn個の第1～第nの選択装置82A-0～82A-n-1を有している。

【0527】

そして、インタリープ装置80Aは、系列0からの書き込みデータ入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列n-1からの書き込みデータ入力MEMW_{n-1}、メモリバンクMBNK0への書き込みデータ出力MBNKW0、メモリバンクMBNK1への書き込みデータ出力MBNKW1、…、メモリバンクMBNK_{n-1}への書き込みデータ出力MBNKW_{n-1}を有し、制御信号mbselw0, mbselw1, …, mbselwn-1が供給される。

【0528】

第2の遅延装置81A-1は、たとえばD型フリップフロップにより構成され、任意のk($0 \leq k \leq n-1$)について、mサイクル($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、系列1からの書き込みデータ入力MEMW1を1サイクルだけ遅延させ、信号m_emw1_dとして第1の選択装置82A-0～第nの選択装置82A-n-1に出力する。

【0529】

同様にして、第nの遅延装置81A-n-1は、たとえばD型フリップフロップにより構成され、任意のk($0 \leq k \leq n-1$)について、mサイクル($1 \leq m \leq n$)の遅延を生じさせる遅延装置であって、系列n-1からの書き込みデータ入力MEMW_{n-1}を1サイクルだけ遅延させ、信号m_emw_{n-1}_n-1dとして第1の選択装置82A-0～第nの選択装置82A-n-1に出力する。

【0530】

第1の選択装置82A-0は、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列n-1からの書き込みデータ入力MEMWn-1、第2の遅延装置81A-1の出力信号memw1_1d、…、第nの遅延装置81A-n-1の出力信号memwn-1_n-1dを入力とし、制御信号mbselw0の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列n-1からの書き込みデータ入力MEMWn-1、第2の遅延装置81A-1の出力信号memw1_1d、…、第nの遅延装置81A-n-1の出力信号memwn-1_n-1dのうちのいずれかの値を、書き込みデータ出力MBNKW0として選択する。

【0531】

第2の選択装置82A-1は、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列n-1からの書き込みデータ入力MEMWn-1、第2の遅延装置81A-1の出力信号memw1_1d、…、第nの遅延装置81A-n-1の出力信号memwn-1_n-1dを入力とし、制御信号mbselw1の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列n-1からの書き込みデータ入力MEMWn-1、第2の遅延装置81A-1の出力信号memw1_1d、…、第nの遅延装置81A-n-1の出力信号memwn-1_n-1dのうちのいずれかの値を、書き込みデータ出力MBNKW1として選択する。

【0532】

同様にして、第nの選択装置82A-n-1は、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列n-1からの書き込みデータ入力MEMWn-1、第2の遅延装置81A-1の出力信号memw1_1d、…、第nの遅延装置81A-n-1の出力信号memwn-1_n-1dを入力とし、制御信号mbselwn-1の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列n-1からの書き込みデータ入力MEMWn-1、第2の遅延装置81A-1の出力信号memw1_1d、…、第nの遅延装置81A-n-1の出力信号memwn-1_n-1dのうちのいずれかの値を、書き込みデータ出力MBNK

W_{n-1} として選択する。

【0533】

以上の構成を有するインタリーブ装置80Aにおいては、上述したように、第13の実施形態を一般化して、 $n-1$ 個の読み出しデータ入力MBNKR₁～MBNKR_{n-1}に対してそれぞれ第2の遅延装置81A-1、…、第nの遅延装置81A-n-1をもち、各遅延装置81A-1～81A-n-1の遅延信号memw₁_1d～memw_{n-1}_n-1dをn個の選択装置82A-0～82A-n-1に対して並列に入力させた構成となっている以外は、第13の実施形態と同様であり、各部の機能も同様であることから、動作については、そのタイミングチャートを図23に示し、ここでは詳細な説明は省略する。

【0534】

したがって、本第15の実施形態によれば、上述した第13の実施形態と同様に、デュアルポートメモリ(2R2Wメモリ)が必要な状況でも、特定のアクセスパターンの場合にはシングルポートメモリ(1R1Wメモリ)を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポートアビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0535】

第16実施形態

図24は、本発明の第16の実施形態に係る演算システムを示す構成図である。

【0536】

本演算システム90では、たとえば上述した第1の実施形態～第9の実施形態に係る演算器の配列や、演算実行時の係数パラメータ等を、構成情報に基づいて再構成可能な演算装置が用いられる。

そして、本演算システム90は、演算実行部、演算実行部の再構成のための構成情報を格納する構成情報記憶部を含み、この構成情報記憶部は、CPUを用い演算実行部の構成情報の書き換えにおいて、複数の構成情報を記憶するためにリンク状に構成された記憶部を持ち、演算実行時に使用する構成情報記憶部と、書

き換えを行うための構成情報記憶部とを分離し、構成情報の書き換えに伴うオーバーヘッドを低減し、または、高速に複数の構成を切り換えることができるよう構成される。

【0537】

具体的には、本演算システム90は、図24に示すように、制御回路としてのCPU91、構成情報記憶部92、および演算実行部93を主構成要素として有している。

【0538】

CPU91は、たとえばバスを介して、構成情報記憶部92に対してアクセスすることが可能になっている。

そして、CPU91は、演算実行部93の再構成のための構成情報CDを、書き込み信号CWRを用いて構成情報記憶部92に書き込む。

また、CPU91は、シフト信号CEXを用いて演算実行部93の再構成のための構成情報を既に記憶されている他の情報に変更させる。

【0539】

構成情報記憶部92は、CPU91からバスを介して構成情報が書き込まれ、書き込まれた構成情報を演算実行部93に出力する。

構成情報記憶部92は、図24に示すように、たとえば「構成情報1」、「構成情報2」、…という各構成情報の記憶部が、それぞれ複数の構成情報を保持できるようにしている。

その中の1つは演算実行時の構成情報を記憶するため、別の1つは外部からの構成情報の書き込みを行うための記憶領域となる。

さらに、これらの構成情報の内容は一斉に瞬時に入れ替えが可能になっている。

これにより、演算実行部93が演算を行っている間に、別のページの内容を同時に書き換えることができ、従来、図25(a)に示すように、構成情報の書き換えに必要な時間的オーバーヘッドが大きかったという問題が、図25(b)に示すように、構成情報の書き換えに必要な時間的オーバーヘッドを、演算の実行時間の裏側に隠蔽することができる。

【0540】

図26は、4つの構成情報を保持することができる構成情報記憶部の構成例を示す図である。

【0541】

この構成情報記憶部92は、図26に示すように、レジスタ921～924、選択装置925、およびORゲート926を有している。

また、図26において、TCDは構成情報CDの入力端子、TCWRは書き込み信号CWRの入力端子、TCEXはシフト信号CEXの入力端子、TCCLKはクロック入力端子、TOUTは記憶した構成情報の演算実行部93への出力端子をそれぞれ示している。

【0542】

レジスタ921～924(CD1～CD4)は、構成情報を記憶するためのレジスタであり、これらのレジスタ921～924はリング状に接続されている。

具体的には、レジスタ921の出力がレジスタ924の入力、および構成情報の出力端子TOUTに接続され、レジスタ924の出力がレジスタ923の入力に接続され、レジスタ923の出力が選択装置925の第1の入力端子「0」を介してレジスタ922の入力に接続され、レジスタ922の出力がレジスタ921の入力に接続されている。

【0543】

また、選択装置925の第2の入力端子「1」が構成情報CDの入力端子TCDに接続されている。選択装置925の制御端子が書き込み信号CWRの入力端子TCWRに接続されている。

選択装置925は、書き込み信号CWRが論理「1」で制御端子に供給されると入力端子TCDに入力される構成情報CDを選択して、レジスタ922に入力させる。

一方、選択装置925は、書き込み信号CWRが論理「0」で制御端子に供給されるとレジスタ923の出力情報を選択して、レジスタ922に入力させる。

【0544】

2入力ORゲート926は、第1の入力端子が書き込み信号CWRの入力端子

TCWR に接続され、第2の入力端子がシフト信号 CEX の入力端子 TCEX に接続され、出力端子がレジスタ 922 の制御端子に接続されている。

【0545】

また、レジスタ 921, 923, 924 の制御端子はシフト信号 CEX の入力端子 TCEX に接続されており、また、各レジスタ 921~924 のクロック端子がクロック入力端子 TCLK に接続されている。

【0546】

そして、これらのレジスタ 921~924 は、その先に接続される「被再構成部」が必要とする構成情報のビット数を記憶できる。

これらの中で、演算実行部 93 の構成情報として、レジスタ 921 (CD1) の内容が使用される。

レジスタ 921 の出力は、演算実行部 93 の構成変更回路に直結されているため、この値が書き換えられると演算実行部 93 のハードウェア構成に即座に反映される。

このため、演算実行部 93 の動作中に外部からレジスタ 921 に対して書き込みを行うと実行中の演算結果に影響を与えることになる。

これを避けるために、外部からの構成情報 CD の書き込みはレジスタ 922 (CD2) に対して行われる。

【0547】

構成情報 CD の書き換えは、入力端子 TCD に構成情報 CD を入力し、書き込み信号 CWR を 1 にすることで行われる。

この書き込み操作では、レジスタ 921 (CD1) の内容は変化しない。

【0548】

新たに書き込んだ構成情報 CD を演算実行部 93 の構成に反映するためには、書き込み信号「CWR」を 0、シフト信号「CEX」を 1 にしてレジスタ 922 (CD2) の内容をレジスタ 921 (CD1) に転送する。

この時同時に、レジスタ 921 (CD1) → レジスタ 924 (CD4) → レジスタ 923 (CD3) → レジスタ 922 (CD2) というように構成情報がリンクの中でローテーションして保持される。

【0549】

構成情報CDの入れ替えは、すべての構成情報記憶部92に対して同時に行われる所以、クロック「CCLK」1サイクル分で完了する。

また、新しい構成情報を書き込まずに上記の入れ替え操作だけを行えば、リングを構成するレジスタ数分の過去の構成情報を高速に切り替えて再使用することができる。

【0550】

なお、複数の構成情報を記憶できる記憶部を用意する場合、任意の構成情報を順番に関係なく自由に入れ替え可能にしたいという欲求が生じる場合がある。

しかしそのためには、記憶部の構成情報入れ替え制御手段が複雑になり、システム全体の構成情報の情報量が増えてくると、記憶部が占める面積や消費電力といったオーバーヘッドが無視できなくなってくる。

【0551】

本第16の実施形態に係るリング状の構成情報の入れ替え手段は、記憶している任意の構成情報CDをすぐに呼び出すことはできないが、記憶部の回路構成と入れ替えのための制御信号を単純化できるという特徴を備える。

記憶している構成情報CDの入れ替えの自由度が制限されるという制約は、1つの信号処理アプリケーション等に含まれる複数の演算処理を、構成を切り替えながら実行するようなケースを考えた場合、再構成がアプリケーションのアルゴリズムにしたがって、決まったパターンで繰り返し行われると考えられ、その限りにおいては問題にならない。

【0552】

演算実行部93は、たとえば図1に示すような演算装置等と同様の構成を有し、構成情報記憶部92による構成情報に基づいて係数、データ等の経路を選択するための選択装置（SEL）931-0～931-2、構成情報記憶部92による構成情報（演算内容を指示するための制御信号）に基づいて算術理演算を行うALU932、構成情報記憶部92により構成情報（演算内容を指示するための制御信号）に基づいて積和演算を行うMAC構造の演算器933を有し、構成情報記憶部92による構成情報に基づいて、演算器の配列や、演算実行時の係数パ

ラメータ等を再構成して、指定の演算を行い、この演算結果をたとえば図示しないデータメモリ等に出力する。

【0553】

次に、上記構成による動作を説明する。

なお、ここでは、構成情報記憶部92の4つのレジスタ921～924にはそれぞれ構成情報CDが保持されているものとする。

【0554】

この場合、演算実行部93の構成情報として、構成情報記憶部92のレジスタ921(CD1)の内容が使用される。

レジスタ921の出力は、演算実行部93の構成変更回路に直結されている。このため、演算実行部93においては、構成情報記憶部92による構成情報に基づいて、演算器の配列や、演算実行時の係数パラメータ等が再構成されて、指定の演算が行われる。そして、演算結果がたとえば図示しないデータメモリ等に出力される。

【0555】

ここで、演算実行部93に供給する構成情報CDの値を書き換える場合には、演算実行部93の動作中に外部からレジスタ921に対して書き込みを行うと実行中の演算結果に影響を与えることになる。

これを避けるために、外部からの構成情報CDの書き込みはレジスタ922(CD2)に対して行われる。

【0556】

構成情報CDの書き換えは、CPU91から入力端子TCDに構成情報CDが入力され、書き込み信号CWRが「1」に設定される。これにより、レジスタ922に対してCPU91から供給された構成情報CDが書き込まれる。

なお、この書き込み操作では、レジスタ921(CD1)の内容は変化しない

【0557】

次に、新たに書き込んだ構成情報CDを演算実行部93の構成に反映するため、CPU91により書き込み信号CWRが「0」、シフト信号CEXが「1」

に設定される。これにより、レジスタ922(CD2)の内容がレジスタ921(CD1)に転送される。

この時同時に、レジスタ921(CD1)→レジスタ924(CD4)→レジスタ923(CD3)→レジスタ922(CD2)というように構成情報がリングの中でローテーションして保持される。

【0558】

構成情報CDの入れ替えは、すべての構成情報記憶部92に対して同時に行われる所以、クロック「CCLK」1サイクル分で完了する。

【0559】

以上説明したように、本第16の実施形態によれば、演算器の配列等のハードウェア構成を再構成可能な演算装置を有する演算システム90において、構成情報を保持する構成情報記憶部92を、リング状に結合した複数のレジスタ921～924で構成し、その中の一つの構成情報を用いて演算処理を行っている間に、別の構成情報記憶部の内容を書き換えることができるよう構成情報書き換え部、および再構成可能な演算実行部93と接続し、また、各レジスタ921～924に記憶された構成情報は、リング内をローテーションすることによって切り替えが可能としたことから、以下の効果を得られる。

すなわち、演算器が演算処理を実行中であっても、同時に次に使用する構成情報を設定することができるとし、また、新たな構成情報を書き込まずに、構成の切り替えのみを行うことによって過去に使用した構成情報を再利用可能となる利点がある。

【0560】

すなわち、ハードウェアの再構成を演算実行と同時に行えるようになり、このオーバーヘッドを、演算の実行時間の裏側に隠蔽できるようになる。

また、複数の構成情報を同時に保持でき、それらを瞬時に切り替えることができる特性により、繰り返し使用される構成情報を同時に記憶しておき、それらを切り替えて使用することで、再構成のためのオーバーヘッドをほぼ「ゼロ」にすることも可能となる利点がある。

【0561】

なお、本第16の実施形態においては、4つの構成情報を保持できる構成を示しているが、必要に応じて2以上の任意の数の構成情報を保持できるようにしてもよい。

【0562】

【発明の効果】

以上説明したように、本発明によれば、アドレス生成装置自身が出力する制御信号を用いて、複数の構成メモリの選択が可能になるため、同期機構を設ける必要がなくなるという利点がある。

また、制御回路に制御が一度戻ることがないため、処理を行うためのオーバーヘッドが少なくなり、システム全体の処理能力を向上させることも可能になる。

【図面の簡単な説明】

【図1】

本発明に係る演算装置の第1の実施形態を示す構成図である。

【図2】

本第1の実施形態の動作を説明するための図であって、図1の演算装置において、 $n = 4$ で、係数入出力、データ入出力が4、カスケード入力が3である場合の装置を構成を示す図である。

【図3】

本発明に係る演算装置の第2の実施形態を示す構成図である。

【図4】

本第2の実施形態の動作を説明するための図であって、図3の演算装置において、 $n = 4$ である場合の装置を構成を示す図である。

【図5】

本発明に係る演算装置の第3の実施形態を示す構成図である。

【図6】

本発明に係る演算装置の第4の実施形態を示す構成図である。

【図7】

本発明に係る演算装置の第5の実施形態を示す構成図である。

【図8】

本発明に係る演算装置の第6の実施形態を示す構成図である。

【図9】

本発明に係る演算装置の第7の実施形態を示す構成図である。

【図10】

本発明に係る演算装置の第8の実施形態を示す構成図である。

【図11】

本発明に係る演算装置の第9の実施形態を示す構成図である。

【図12】

本発明の第10の実施形態に係る演算システムを示す構成図である。

【図13】

本発明に係るアドレス生成装置によって生成されるアドレスと制御信号により選択される経路選択情報の選択タイミング例を示す図である。

【図14】

本発明の第11の実施形態を説明する図であって、本発明に係る演算システムに適用可能なアドレス生成装置の一例を示す構成図である。

【図15】

図14の動作を説明するための図である。

【図16】

本発明の第12の実施形態を説明するための図であって、本発明に係るインターブ装置のデータ読み出し系の一例を示す構成図である。

【図17】

図16の読み出し系インターブ装置の動作を説明するためのタイミングチャートである。

【図18】

本発明の第13の実施形態を説明するための図であって、本発明に係るインターブ装置のデータ書き込み系の一例を示す構成図である。

【図19】

図18の書き込み系インターブ装置の動作を説明するためのタイミングチャートである。

【図20】

本発明の第14の実施形態を説明するための図であって、本発明に係るインターリープ装置のデータ読み出し系の一般化した例を示す構成図である。

【圖 21】

図20の読み出し系インタリーブ装置のタイミングチャートである。

【図22】

本発明の第15の実施形態を説明するための図であって、本発明に係るインタリープ装置のデータ書き込み系の一般化した例を示す構成図である。

【図23】

図22の書き込み系インターブ装置のタイミングチャートである。

【図24】

本発明の第16の実施形態に係る演算システムを示す構成図である。

【図25】

本発明に係る構成情報記憶部を設けることによる効果を説明するための図である。

【図26】

本発明に係る構成情報記憶部の具体的な構成例を示す図である。

【符号の説明】

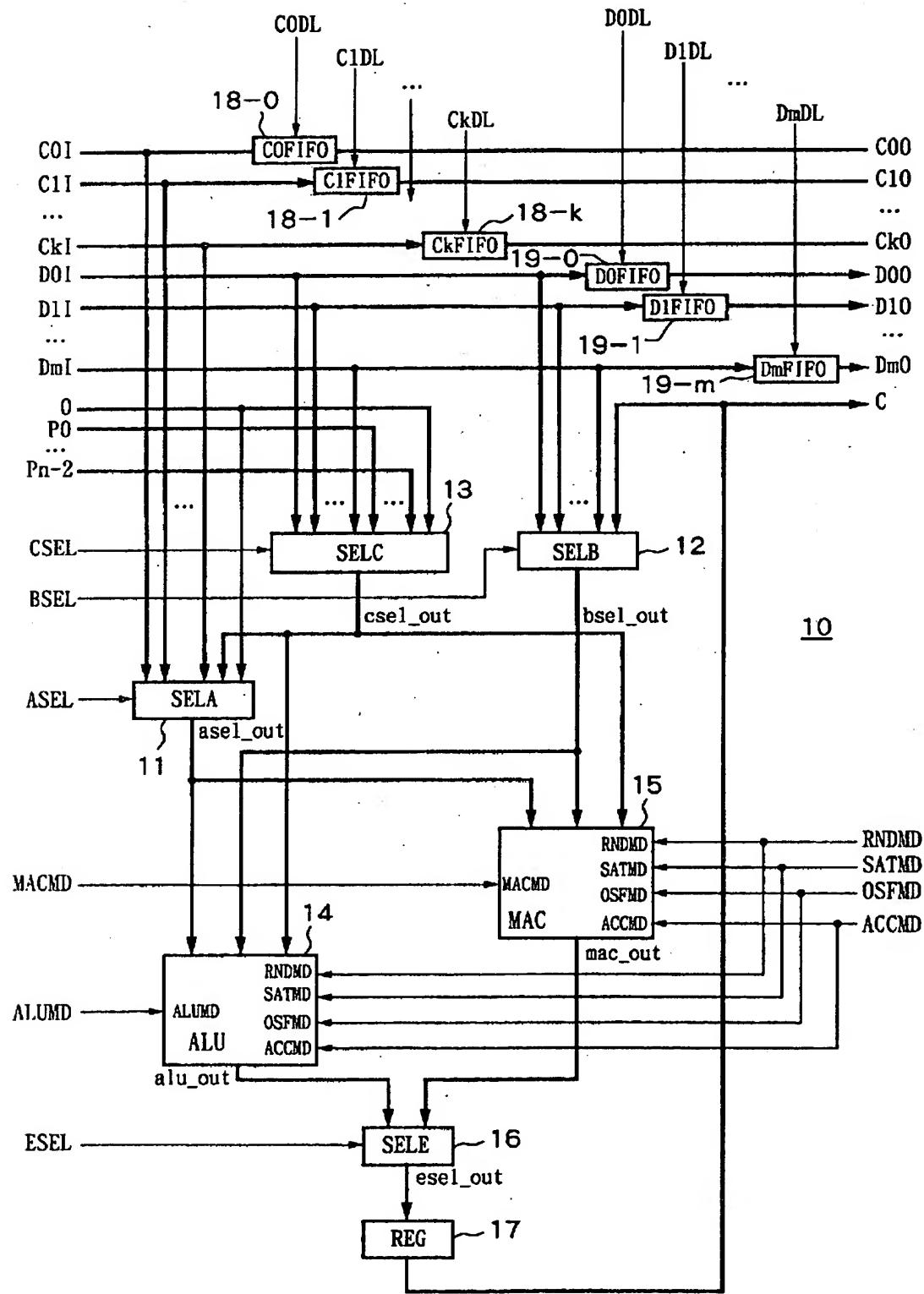
10, 10A, 10-1~10-n, 10A-1~10A-3…演算装置、11…第1の選択装置（SEL A）、12…第2の選択装置（SEL B）、13…第3の選択装置（SEL C）、14…ALU、15…MAC、16…第4の選択装置（SEL E）、17…レジスタ（REG）、18-0~18-k…係数入力遅延用 FIFO（C0FIFO ~CkFIFO）、19-0~19-m…データ入力遅延用 FIFO（D0FIFO ~DmFIFO）、20…演算装置、21-0, 21-1…シフト演算器（SFT 0, SFT 1）、22-0, 22-1…入力選択装置（RSEL 0, RSEL 1）、23…バタフライ演算器（BTFO）、24-0, 24-1…出力選択装置（DSEL 0, DSEL 1）、25-0, 25-1…出力選択装置（WSEL 0, WSEL 1）、20A…演算装置、21A-0~21A-3…シフト演算器（SFT 0~SFT 3）、22A-0~22A-3…入力選択装置（R

S E L 0 ~ R S E L 3) 、 2 3 A - 0 , 2 3 A - 1 … バタフライ演算器 (B T F 0 , B T F 1) 、 2 4 A - 0 ~ 2 4 A - 3 … 出力選択装置 (D S E L 0 ~ D S E L 3) 、 2 5 A - 0 ~ 2 5 A - 3 … 出力選択装置 (W S E L 0 ~ W S E L 3) 、 2 0 B … 演算装置、 2 3 B - 2 … バタフライ演算器 (B T F 2) 、 2 5 B - 0 ~ 2 5 B - 3 … 出力選択装置 (W S E L 0 ~ W S E L 3) 、 2 0 C … 演算装置、 2 2 C - 0 ~ 2 2 C - 1 5 … 入力選択装置 (R S E L 0 ~ R S E L 7 , B S E L 0 ~ B S E L 7) 、 2 3 C - 0 ~ 2 3 C - 7 … バタフライ演算器 (B T F 0 ~ B T F 7) 、 2 4 C - 0 ~ 2 4 A - 7 … 出力選択装置 (D S E L 0 ~ D S E L 7) 、 2 5 C - 0 ~ 2 5 C - 7 … 出力選択装置 (W S E L 0 ~ W S E L 7) 、 2 0 D … 演算装置、 2 2 D - 0 ~ 2 2 D - 7 … 入力選択装置 (R S E L 0 ~ R S E L 7) 、 2 3 D - 0 ~ 2 3 C - 6 … バタフライ演算器 (B T F 0 ~ B T F 6) 、 2 4 D - 0 ~ 2 4 D - 7 … 出力選択装置 (D S E L 0 ~ D S E L 7) 、 2 5 D - 0 ~ 2 5 D - 7 … 出力選択装置 (W S E L 0 ~ W S E L 7) 、 3 0 … 演算装置、 3 1 … 第 1 の演算装置 (P U) 、 3 2 … 第 2 の演算装置 (B T F) 、 3 0 A … 演算装置、 3 1 A … 第 1 の演算装置 (P U) 、 3 2 A - 0 (B T F L a 0) , … , 3 2 A - k (B T F L a k) 、 3 2 B - 0 (B T F L b 0) , … , 3 2 B - m (B T F L b m) 、 3 2 C - 0 (B T F L c 0) , … , 3 2 C - n (B T F L c n) … 第 2 の演算装置、 4 0 … 演算システム、 4 1 … C P U 、 4 2 … 第 1 の経路選択情報メモリ、 4 3 … 第 2 の経路選択情報メモリ、 4 4 … 選択装置、 4 5 … アドレス生成装置、 4 6 … データメモリ、 4 7 … 再構成可能な演算装置、 5 0 … アドレス生成装置、 5 1 - 0 ~ 5 1 - x … 演算器 (I N C D E C 0 ~ I N C D E C D x) 、 5 2 - 0 ~ 5 2 - 2 … セレクタ付き演算器 (S U M 0 ~ S U M 2) 、 5 3 - 0 ~ 5 3 - x … セクレタ (S E L 0 ~ S E L x) 、 5 4 - 0 ~ 5 4 - x … カウンタ (C o u n t e r 0 ~ C o u n t e r x) 、 5 5 - 0 … 比較器 (E N D) 、 5 6 - 0 ~ 5 6 - x … 比較器 (E N D 1 ~ E N D x) 、 5 7 - 0 ~ 5 7 - 2 … 比較器 (I N C 0 ~ I N C 2) 、 5 8 … セレクタ付き演算器 (A D R S U M) 、 5 9 … ビット反転器 (B R V) 、 6 0 … マスク生成器 (A D R M S K) 、 6 1 … 制御信号生成器 (C T R L G E N) 、 7 0 … 読み出し系インターブ装置、 7 1 - 0 … 第 1 の遅延装置 (D F F 0) 、 7 1 - 1 … 第 2 の遅延装置 (D F F 1) 、 7 2 - 0

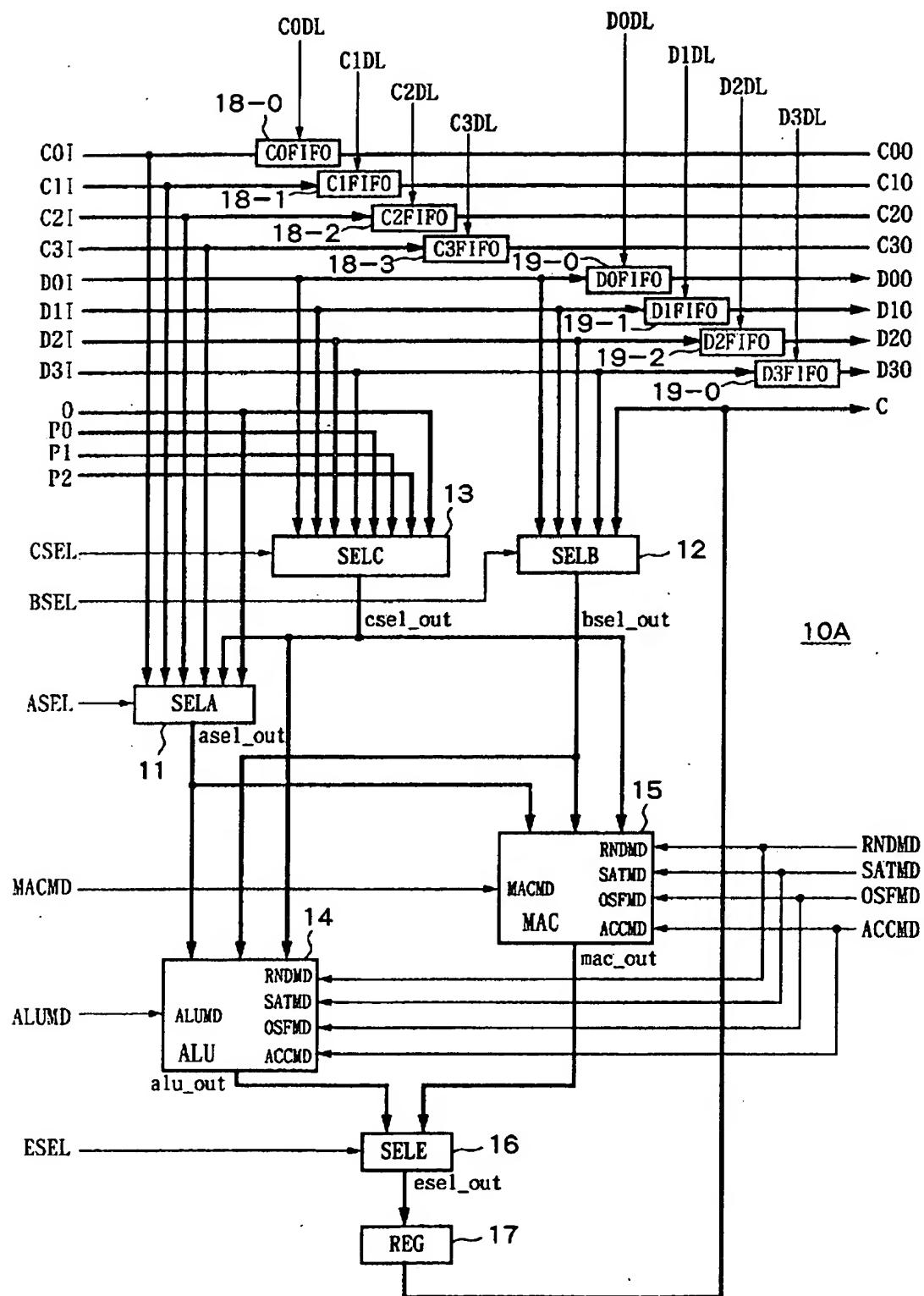
…第1の選択装置（s e 1 0）、7 2 - 1 …第2の選択装置（s e 1 1）、8 0
…書き込み系インタリーブ装置、8 1 - 0 …第1の遅延装置（D F F 0）、8 1
- 1 …第2の遅延装置（D F F 1）、8 2 - 0 …第1の選択装置（s e 1 0）、
8 2 - 1 …第2の選択装置（s e 1 1）、7 0 A …読み出し系インタリーブ装置
、7 1 A - 0 0 ~ 7 1 A - 0 n - 1 …第1の遅延装置、7 1 A - (n - 1) 0 ~
7 1 A - (n - 1) n - 1 …第nの遅延装置、7 2 A - 0 ~ 7 2 A - n - 1 …第
1 ~ 第nの選択装置、8 0 A …インタリーブ装置、8 1 A - 1 ~ 8 1 A - n - 1
…第2の遅延装置～第nの遅延装置、8 2 A - 0 ~ 8 2 A - n - 1 …第1～第n
の選択装置、9 0 …演算システム、9 1 …C P U、9 2 …構成情報記憶部、9 2
1 ~ 9 2 4 (C D 1 ~ C D 4) …レジスタ、9 2 5 …選択装置、9 2 6 …O Rゲ
ート、9 3 …演算実行部、9 3 0 - 0 ~ 9 3 1 - 2 …選択装置、9 3 2 …A L U
、9 3 3 …M A C構造の演算器。

【書類名】 図面

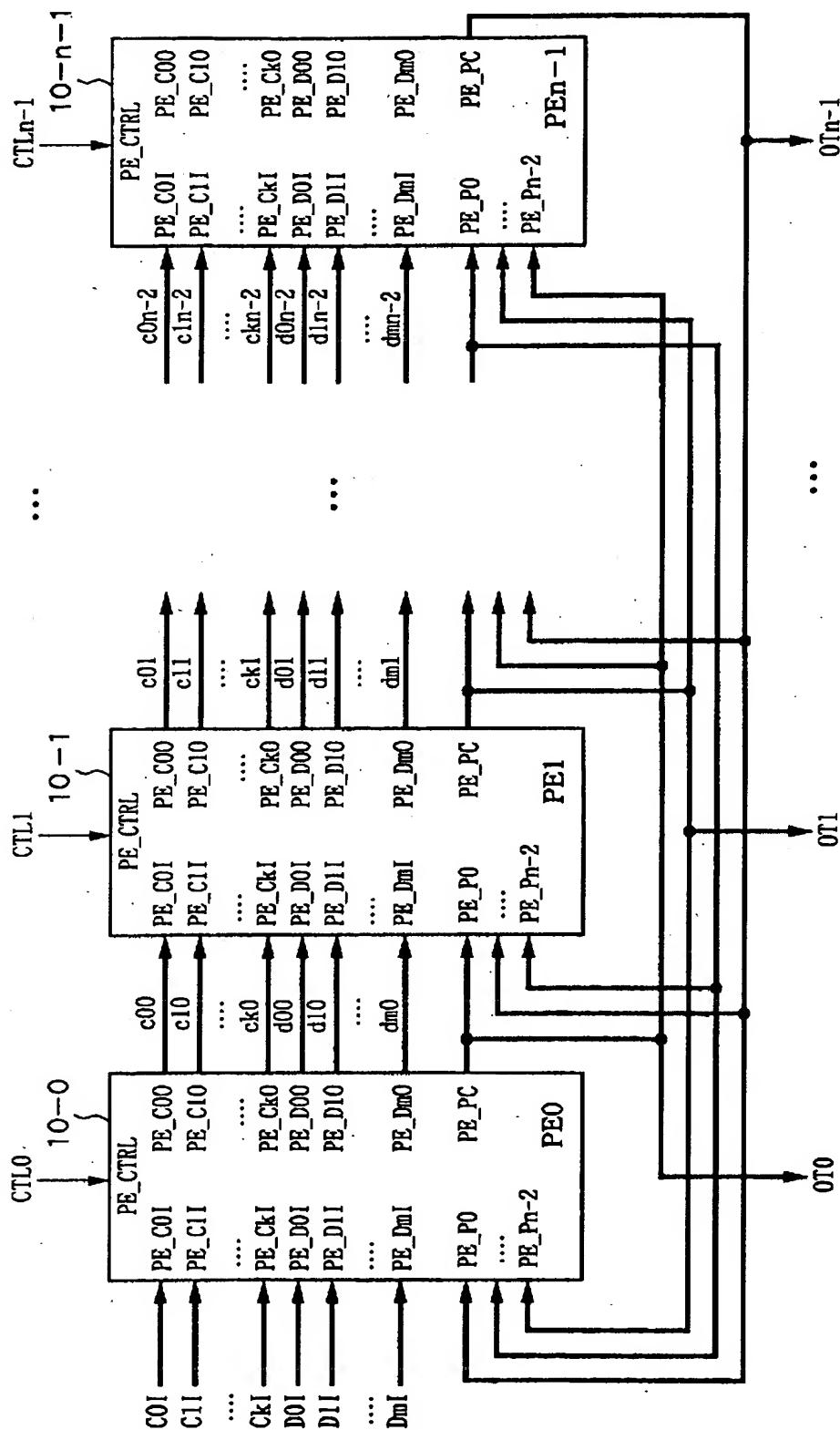
【図1】



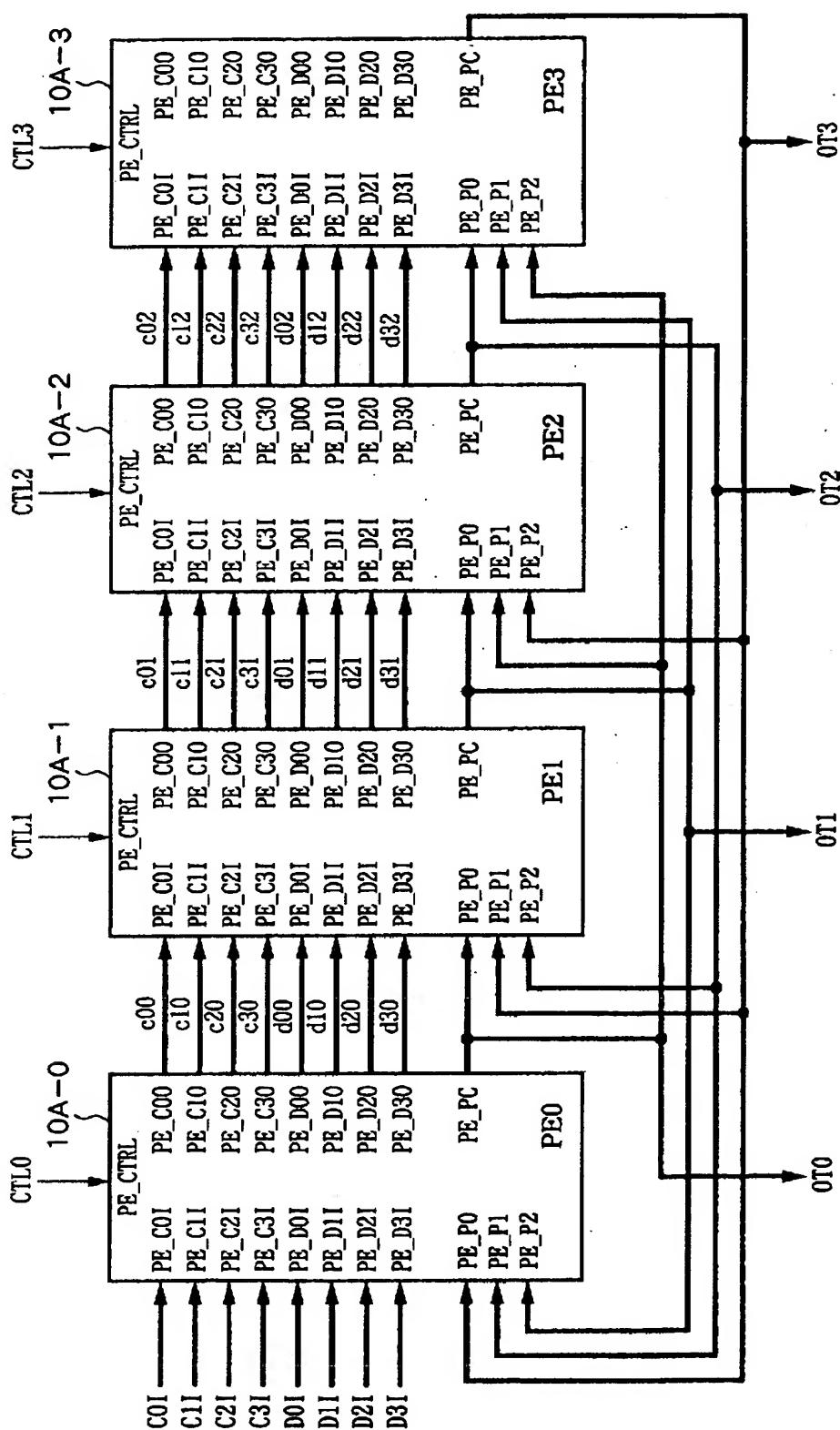
【図2】



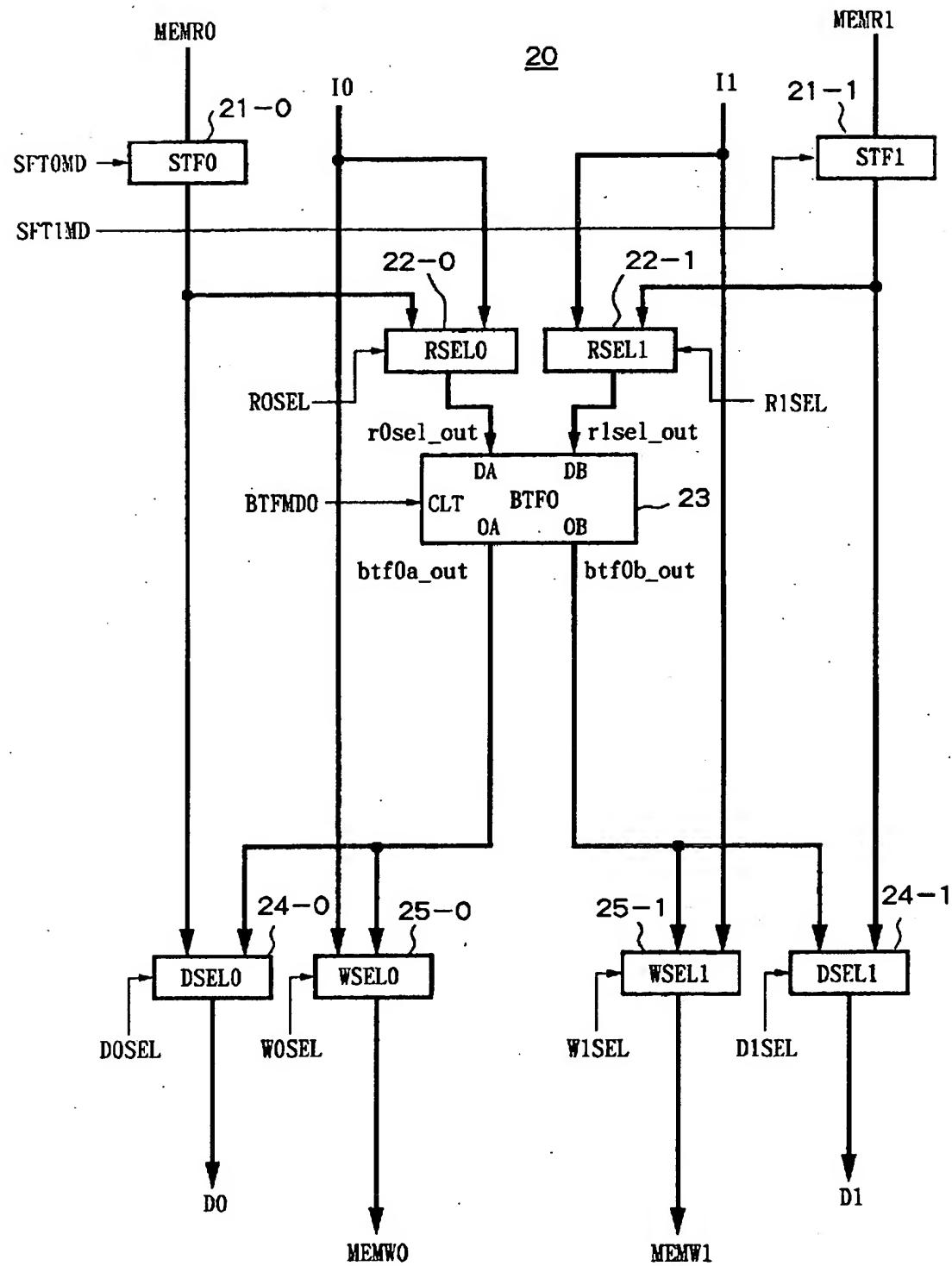
【図3】



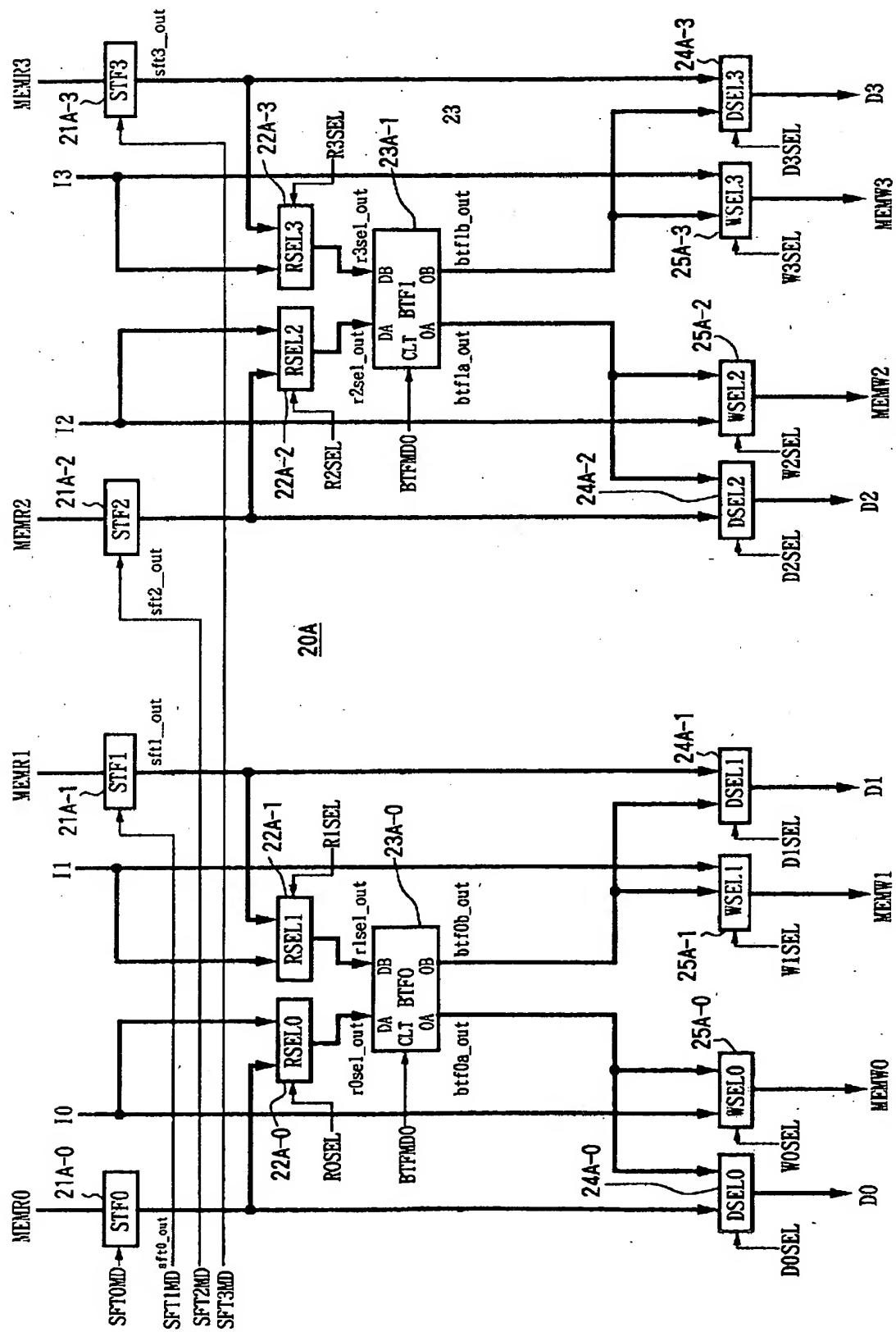
【図4】



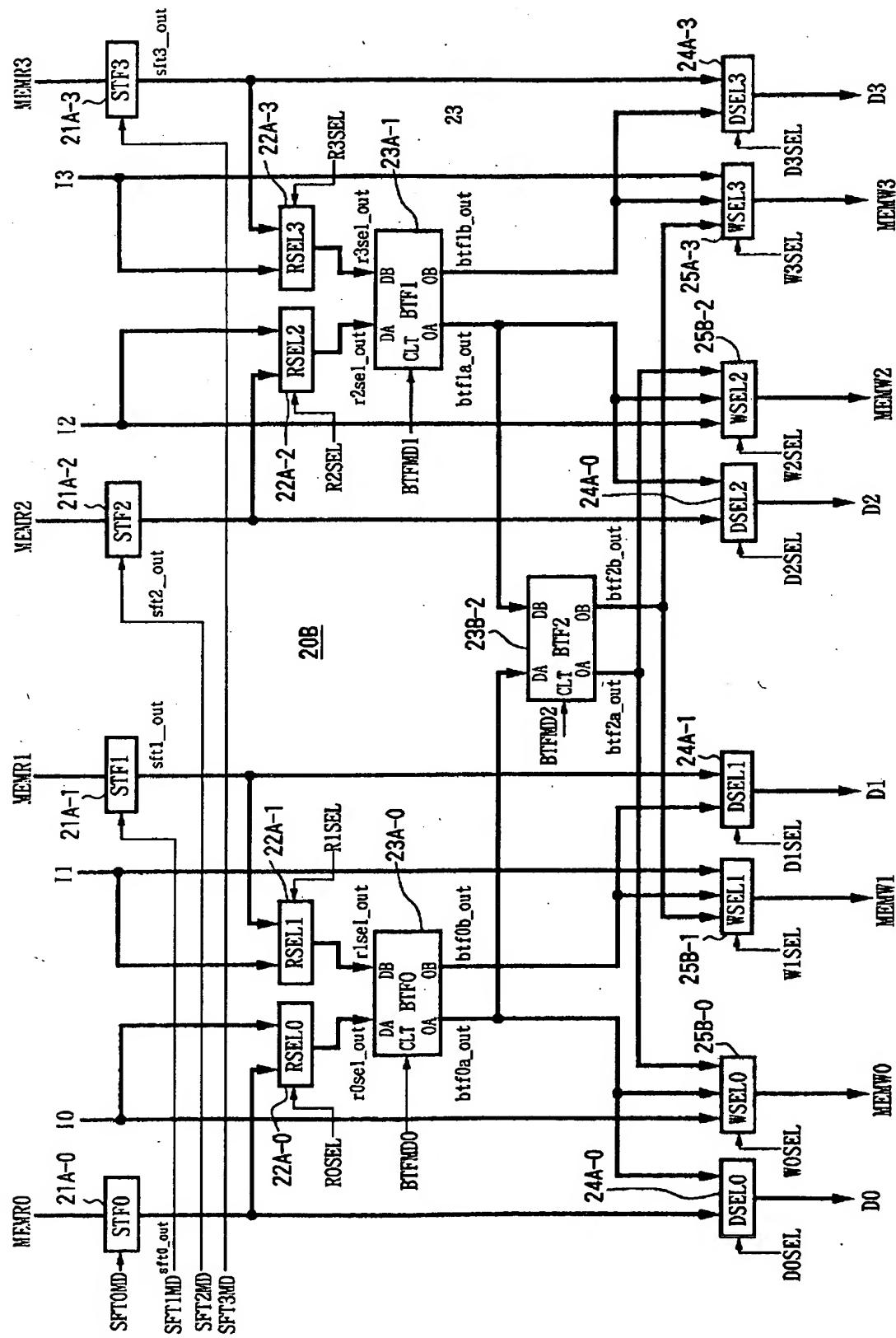
【図5】



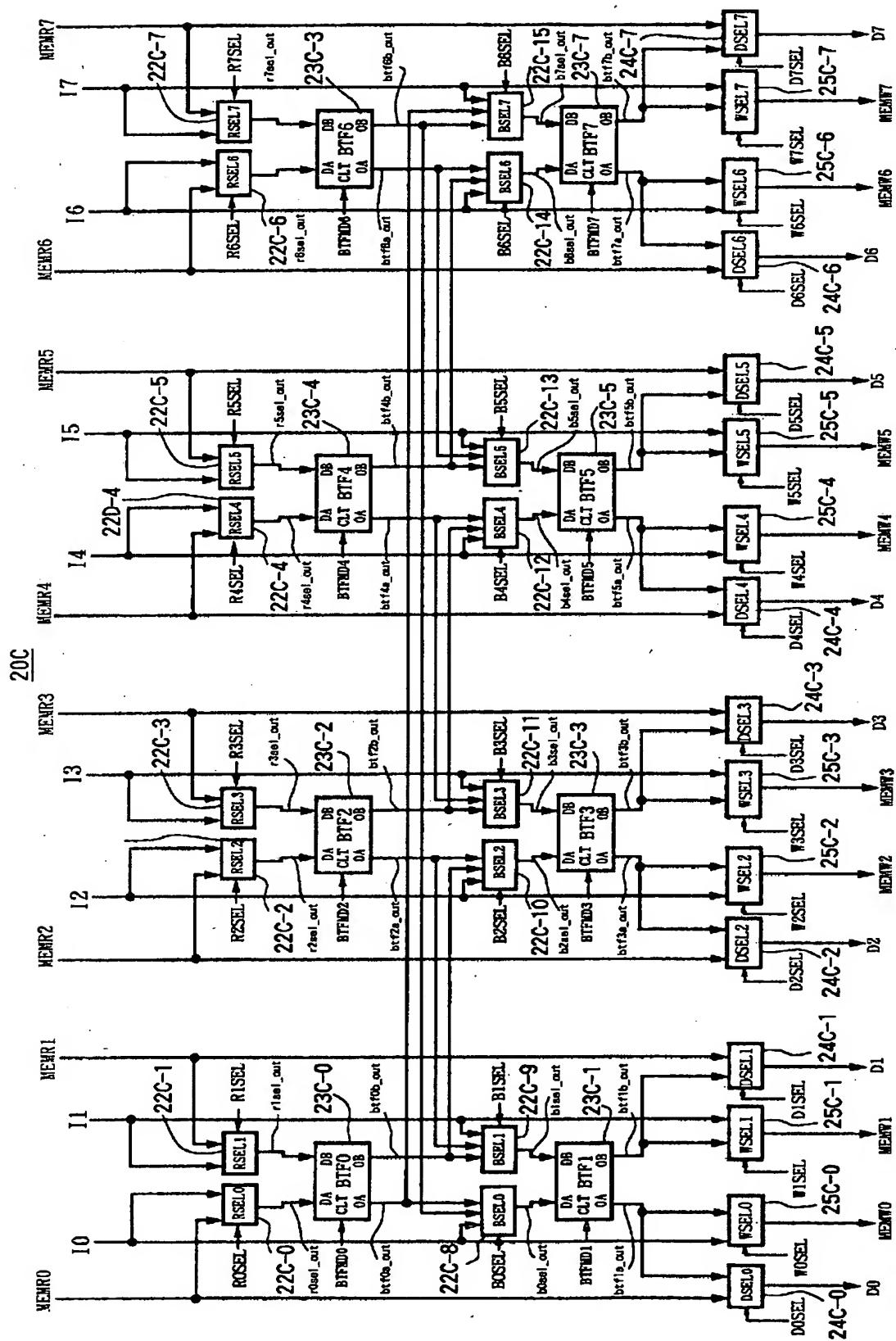
【図6】



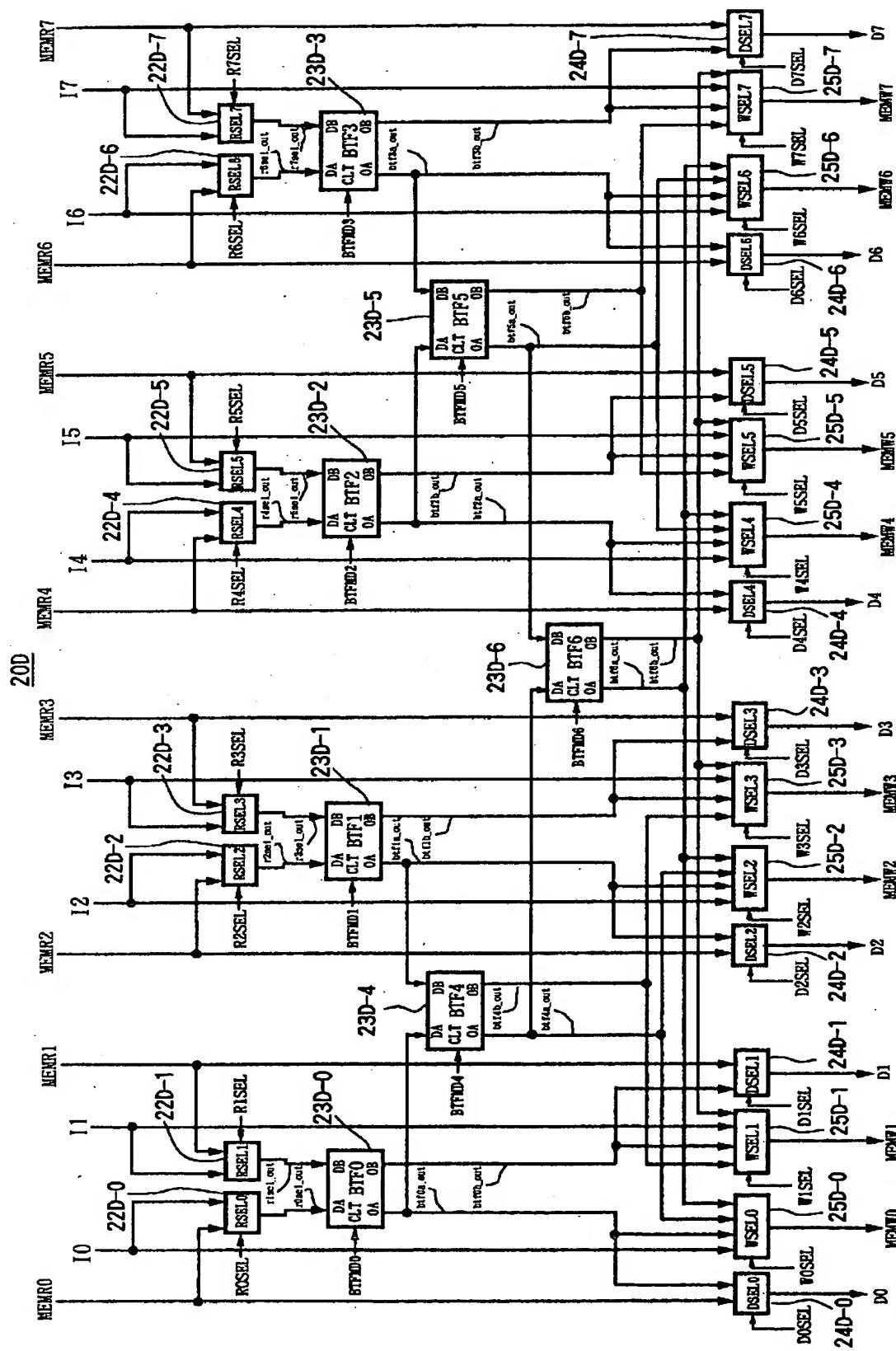
【図7】



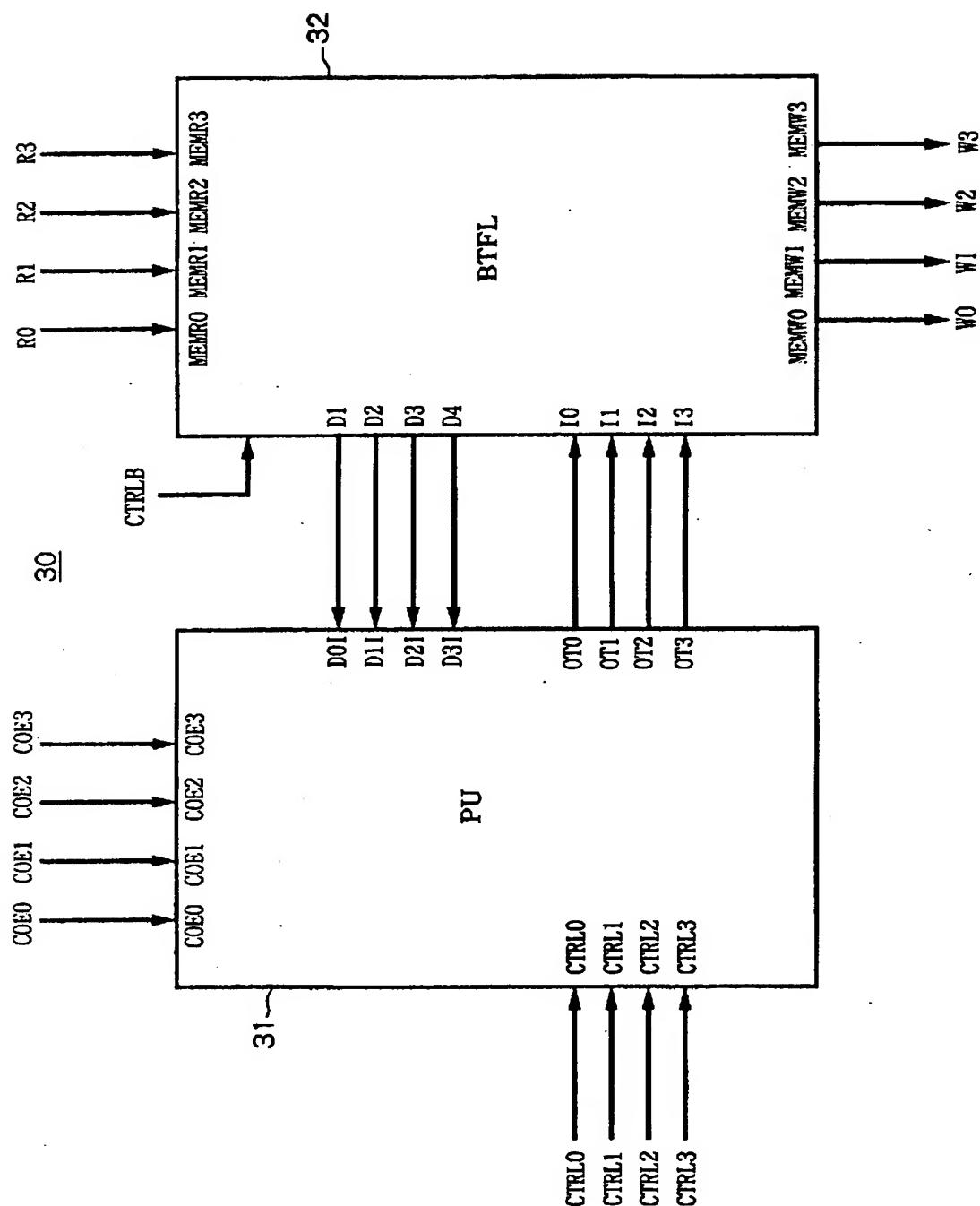
[図 8]



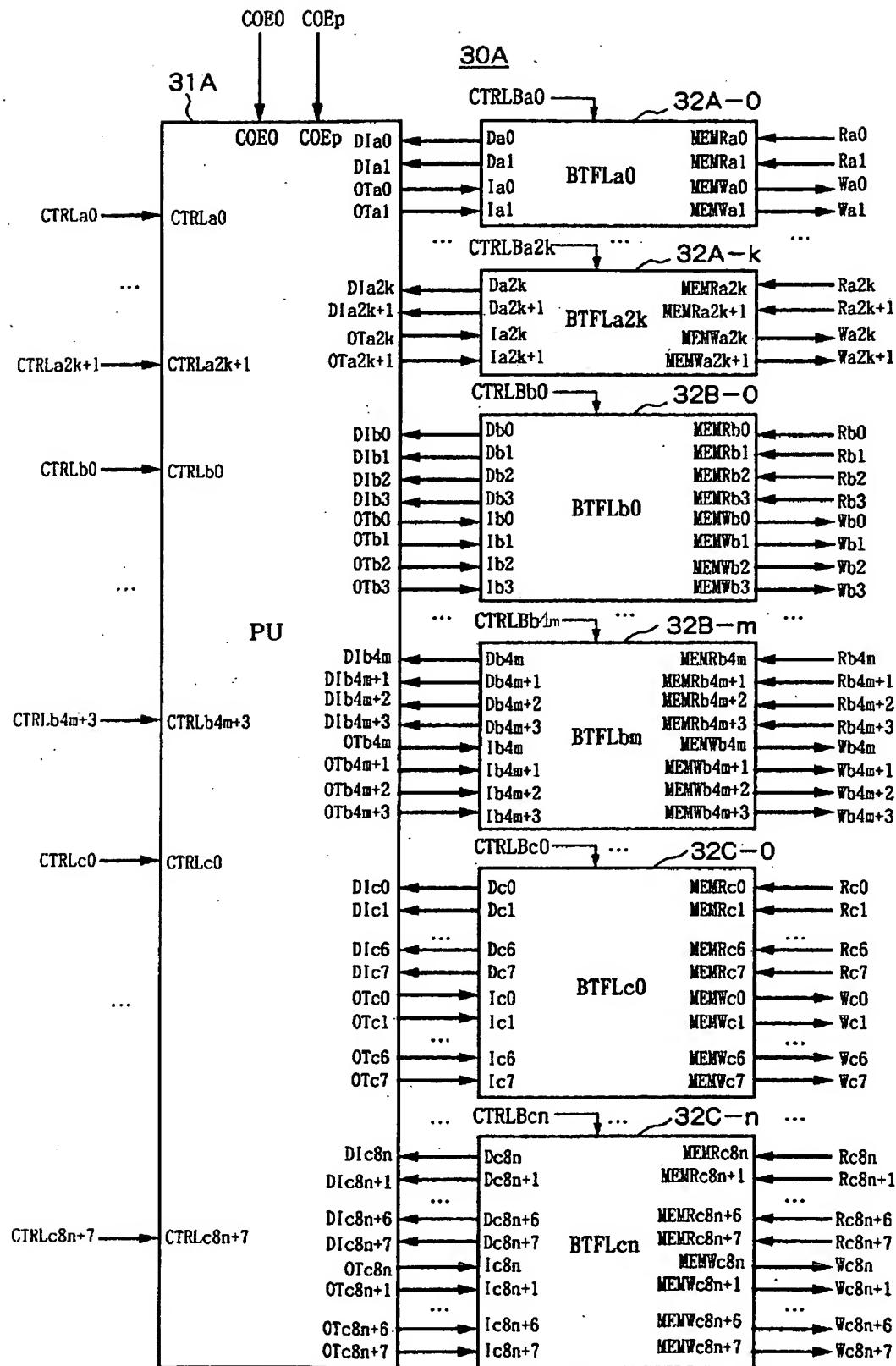
【図9】



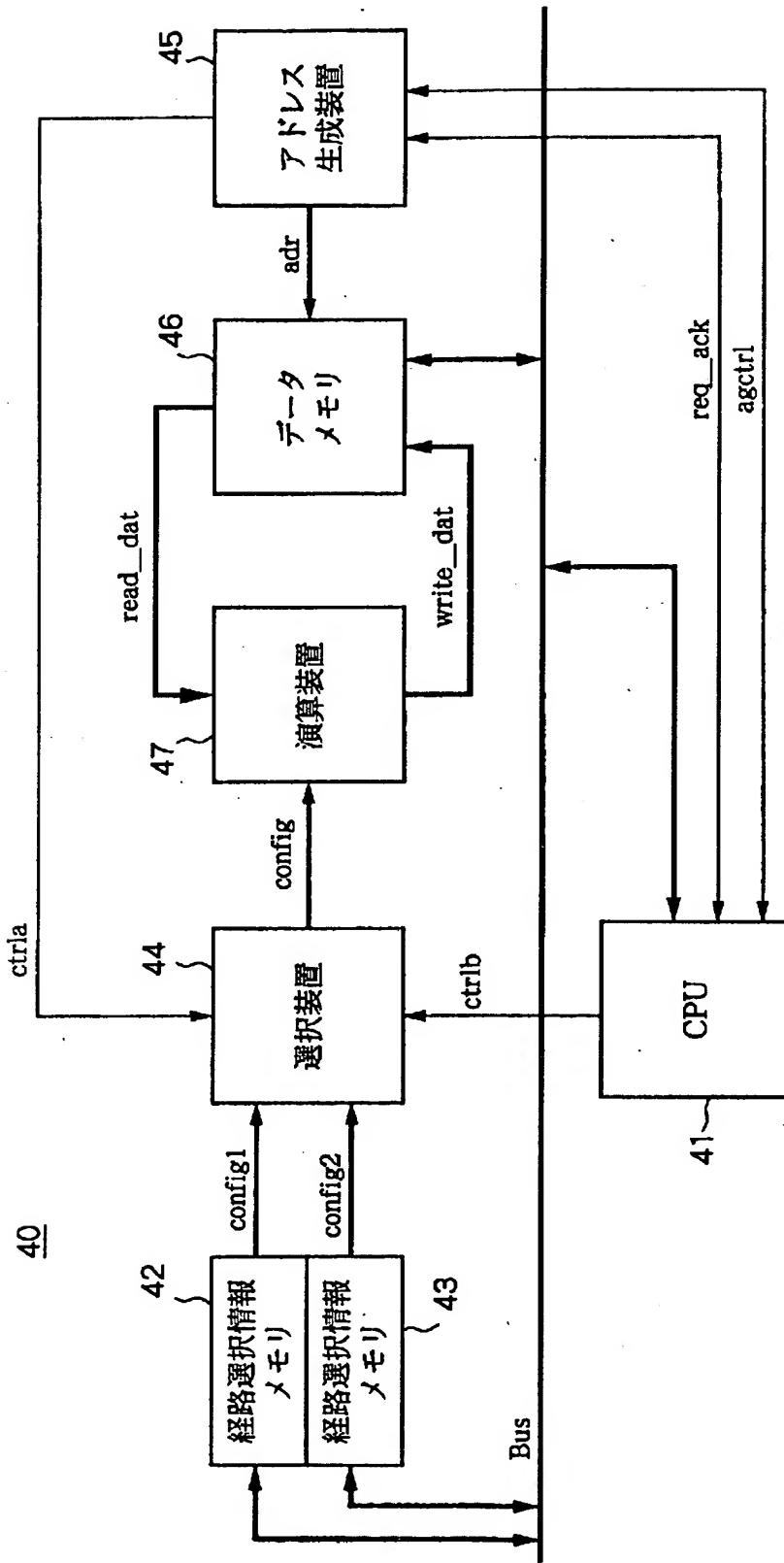
【図10】



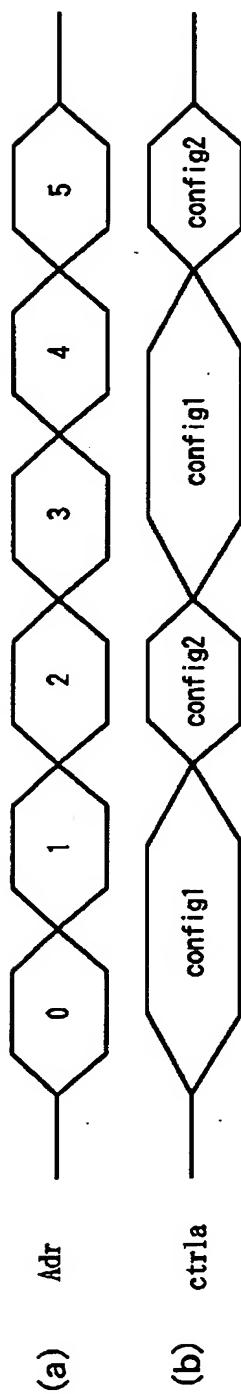
【図11】



【図12】

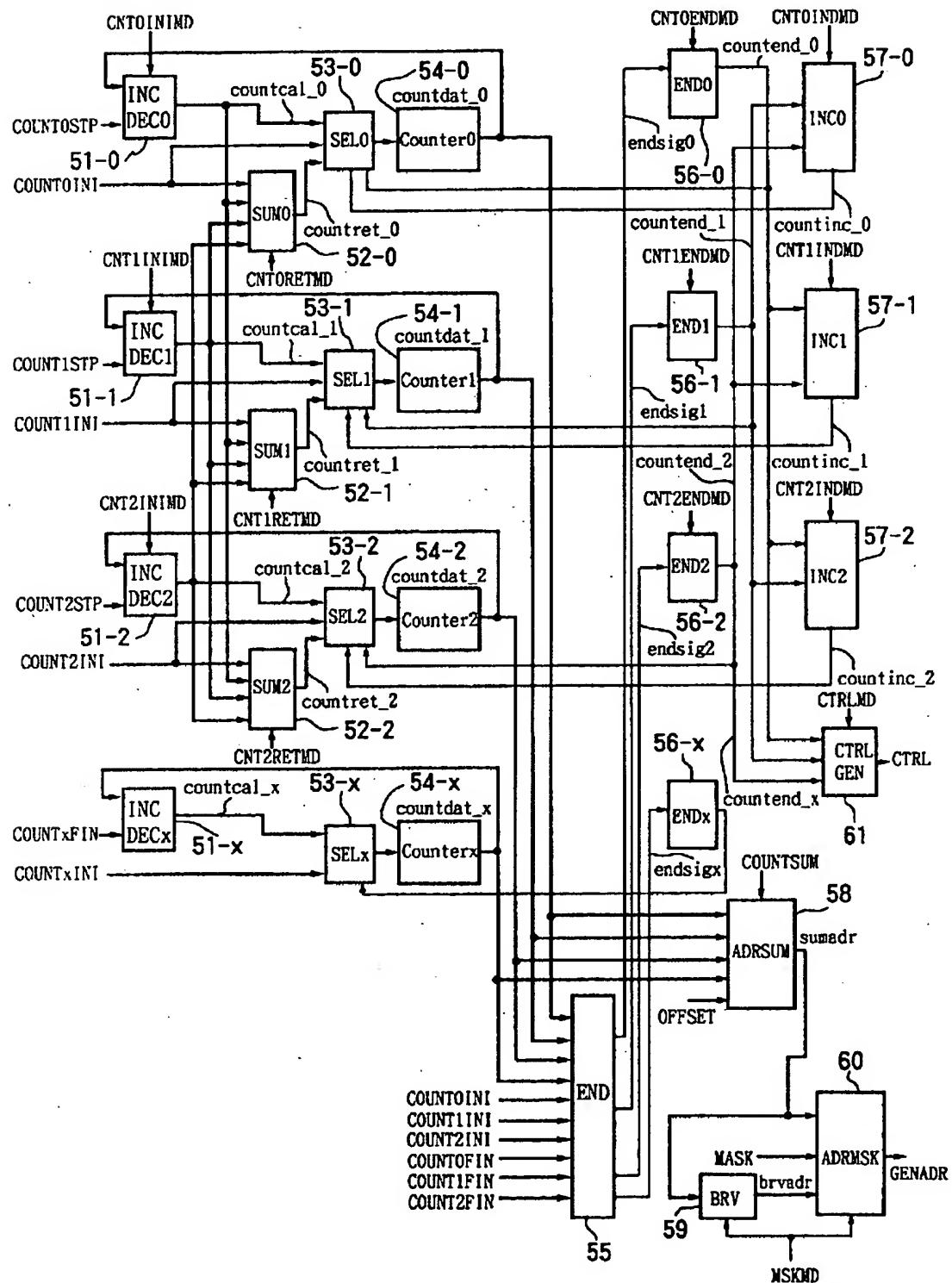


【図13】

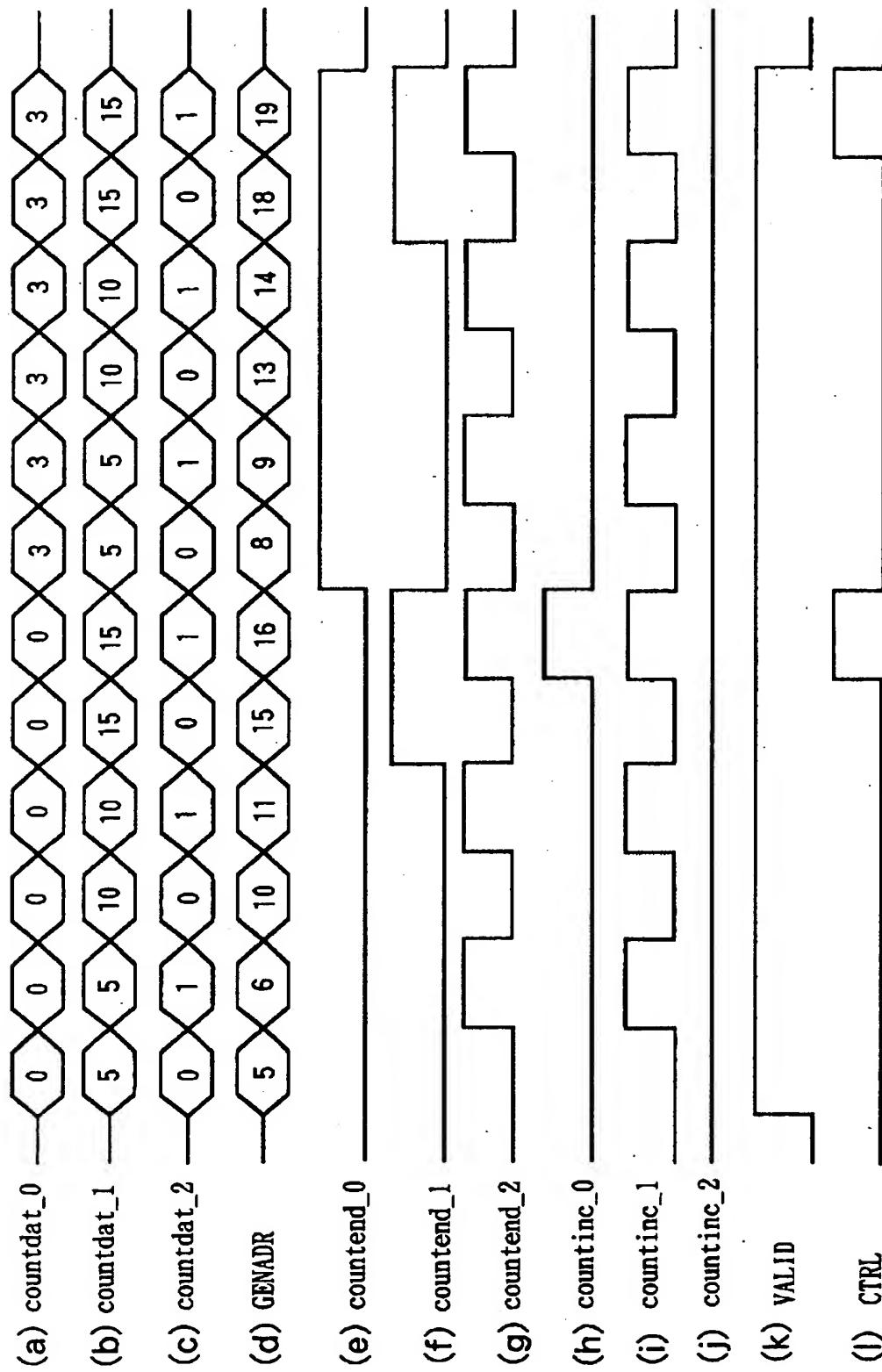


【図14】

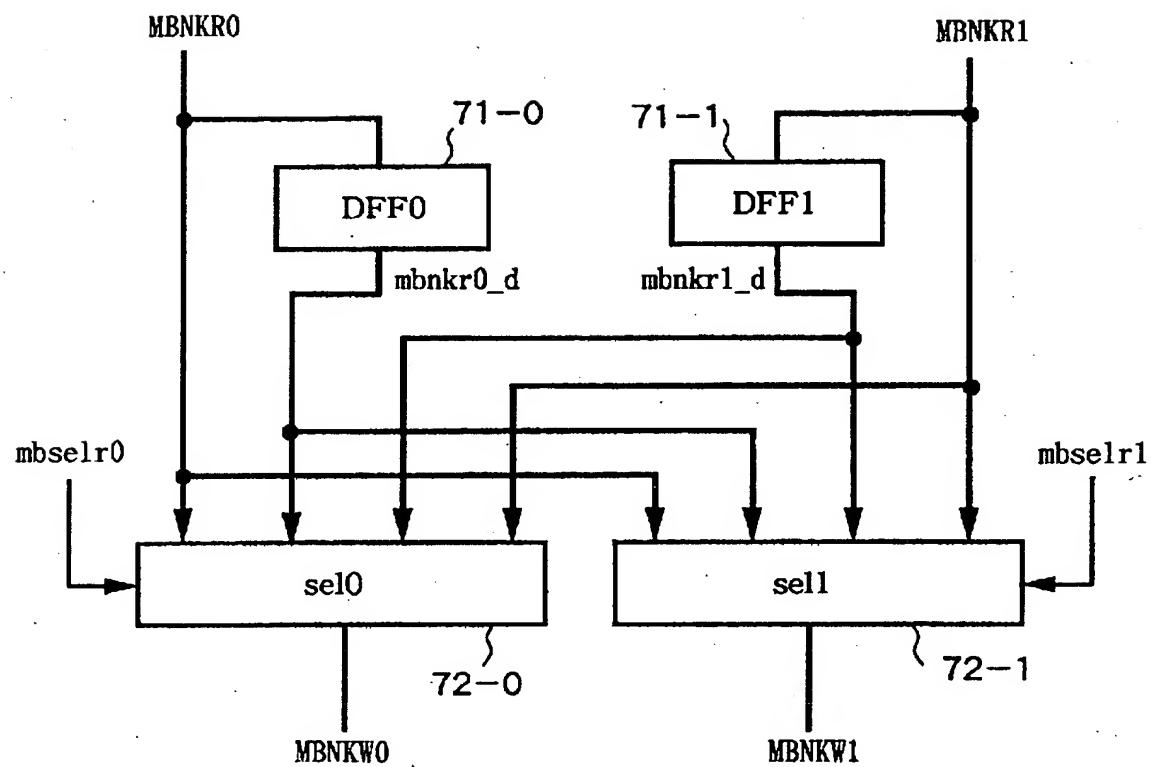
50



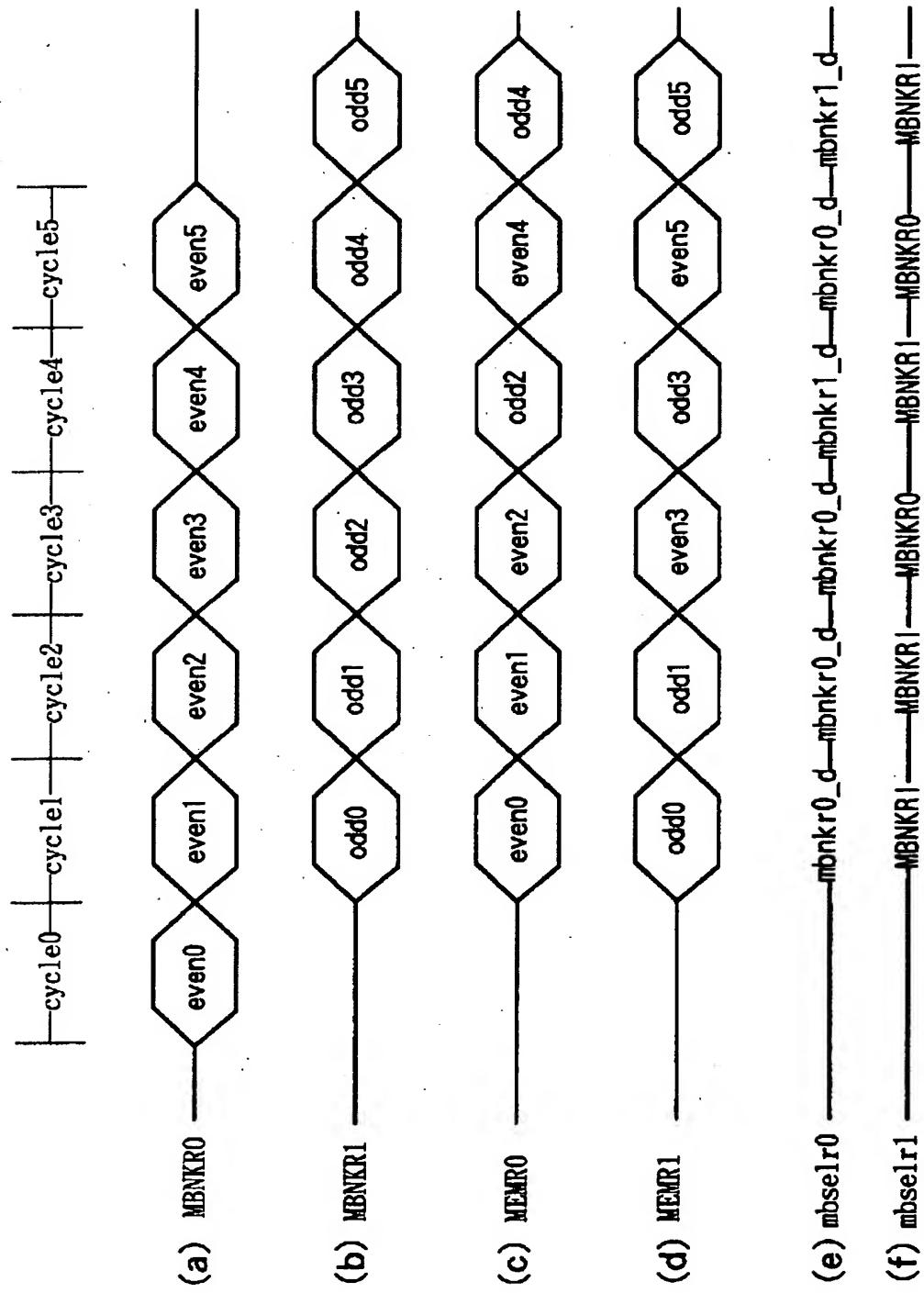
【図15】



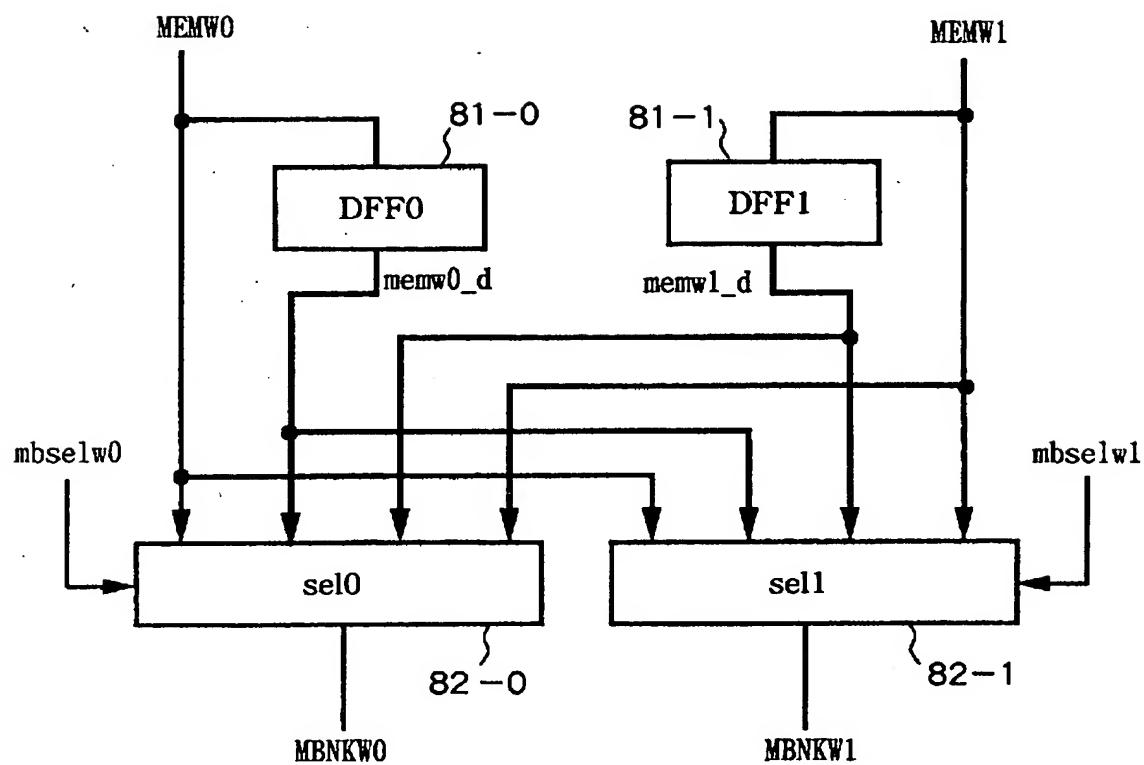
【図16】

70

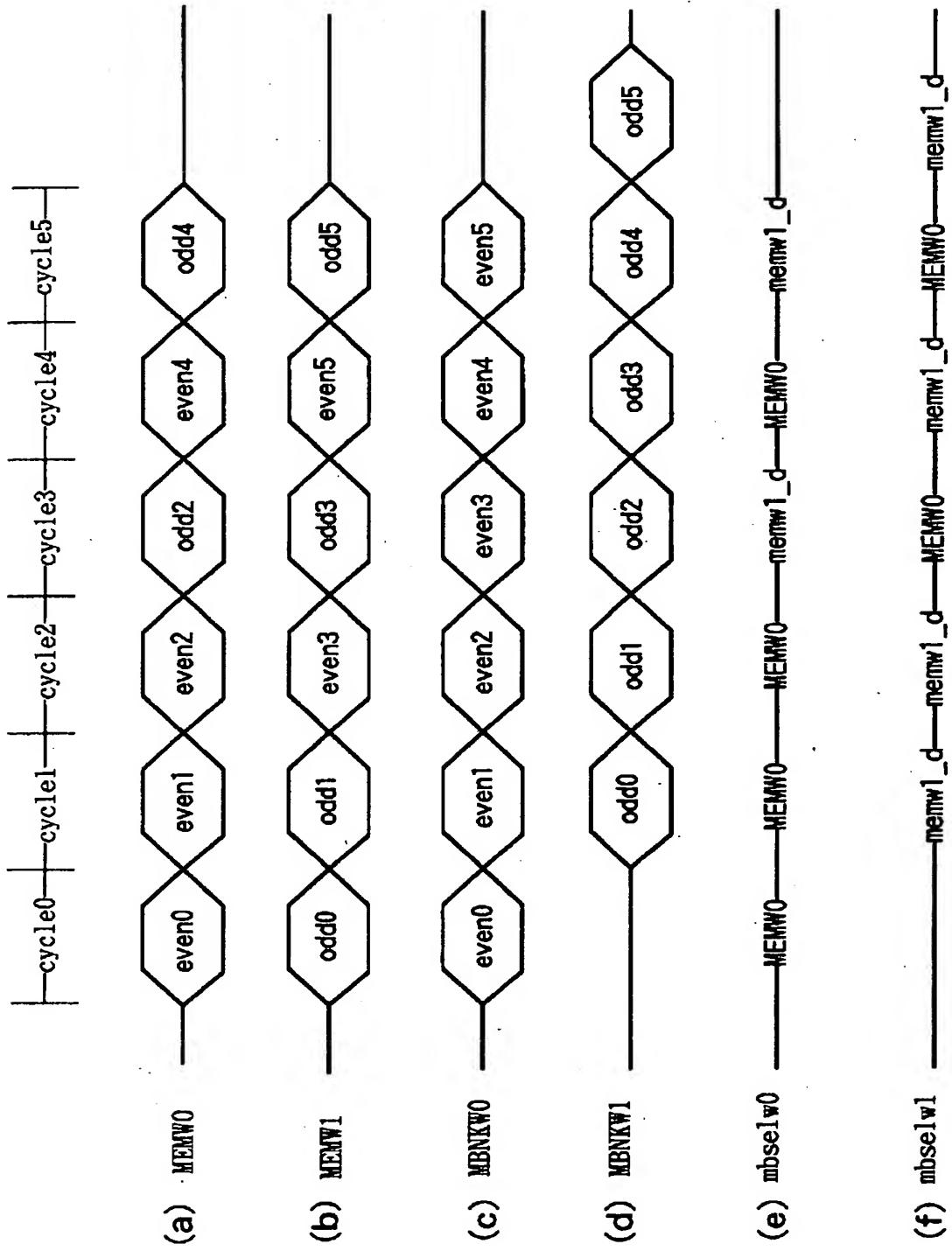
【図17】



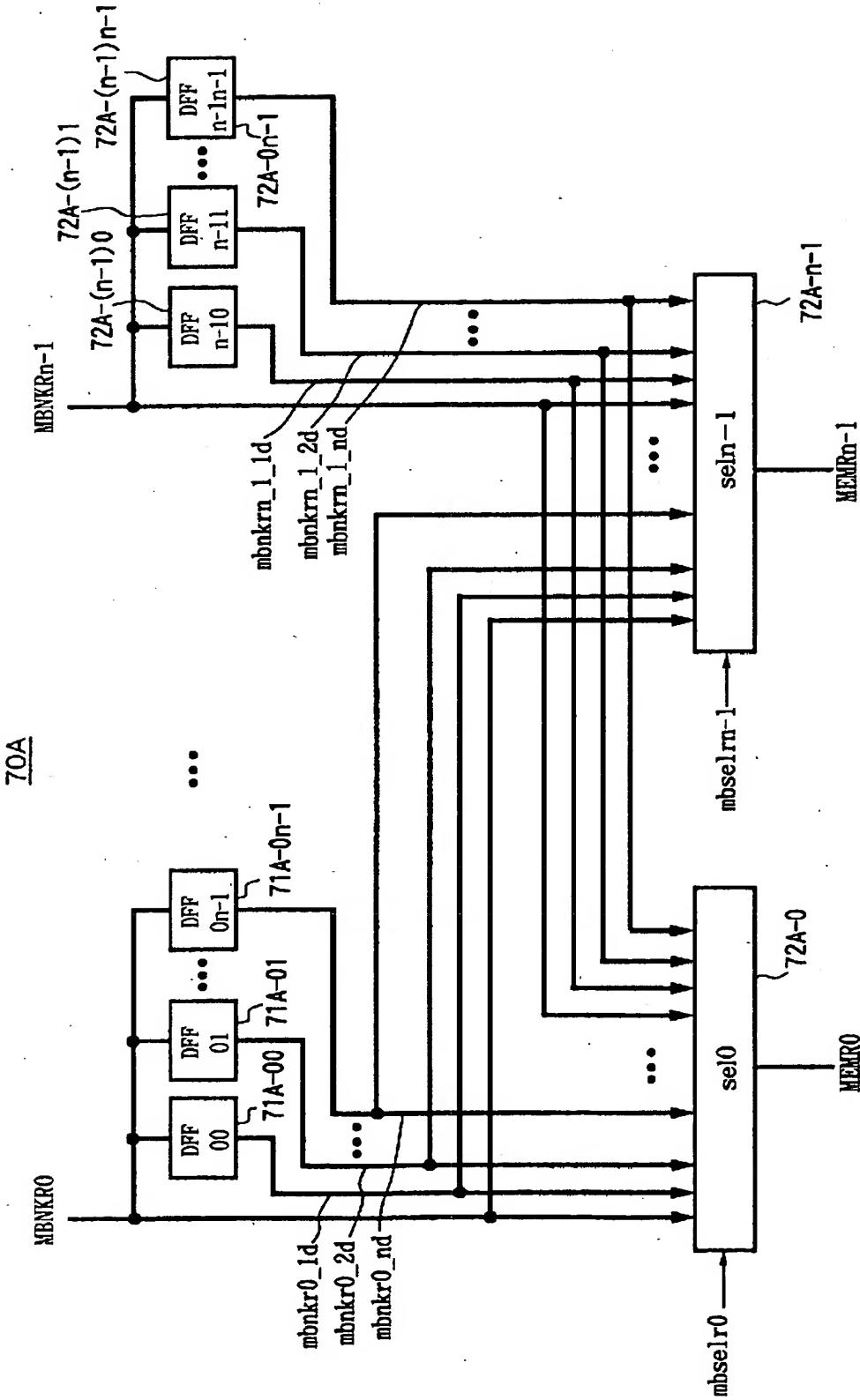
【図18】

80

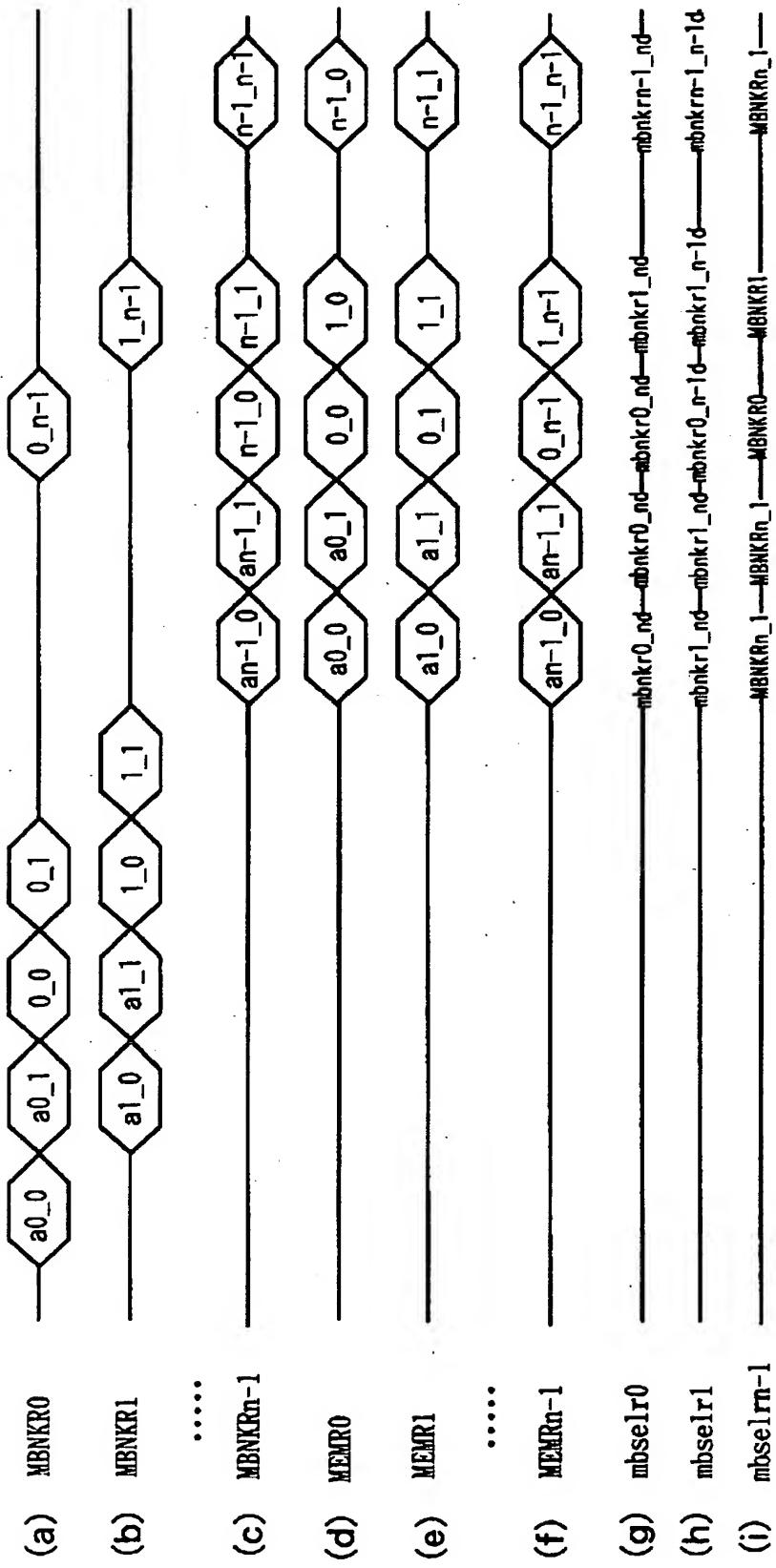
【図19】



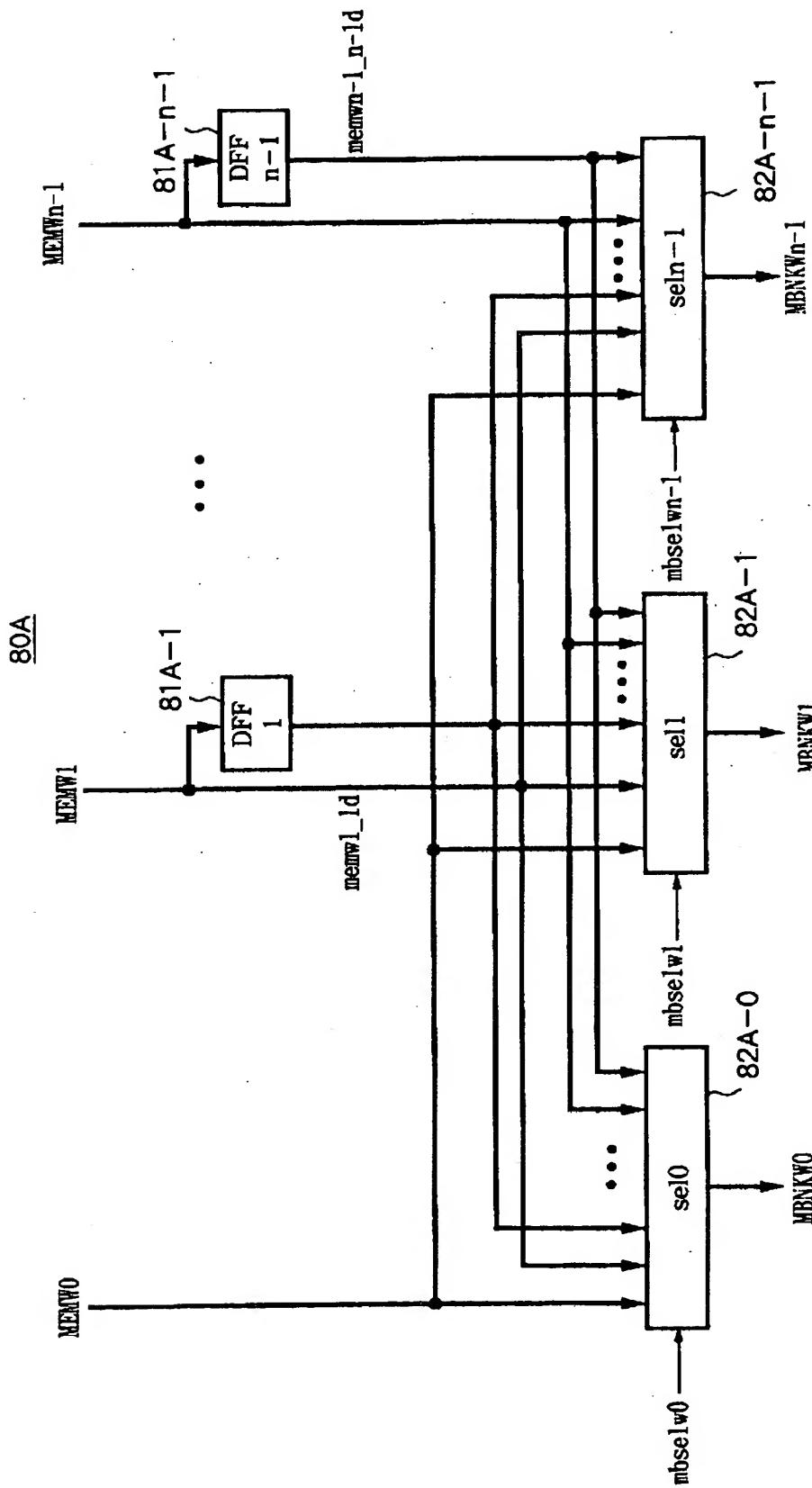
【図20】



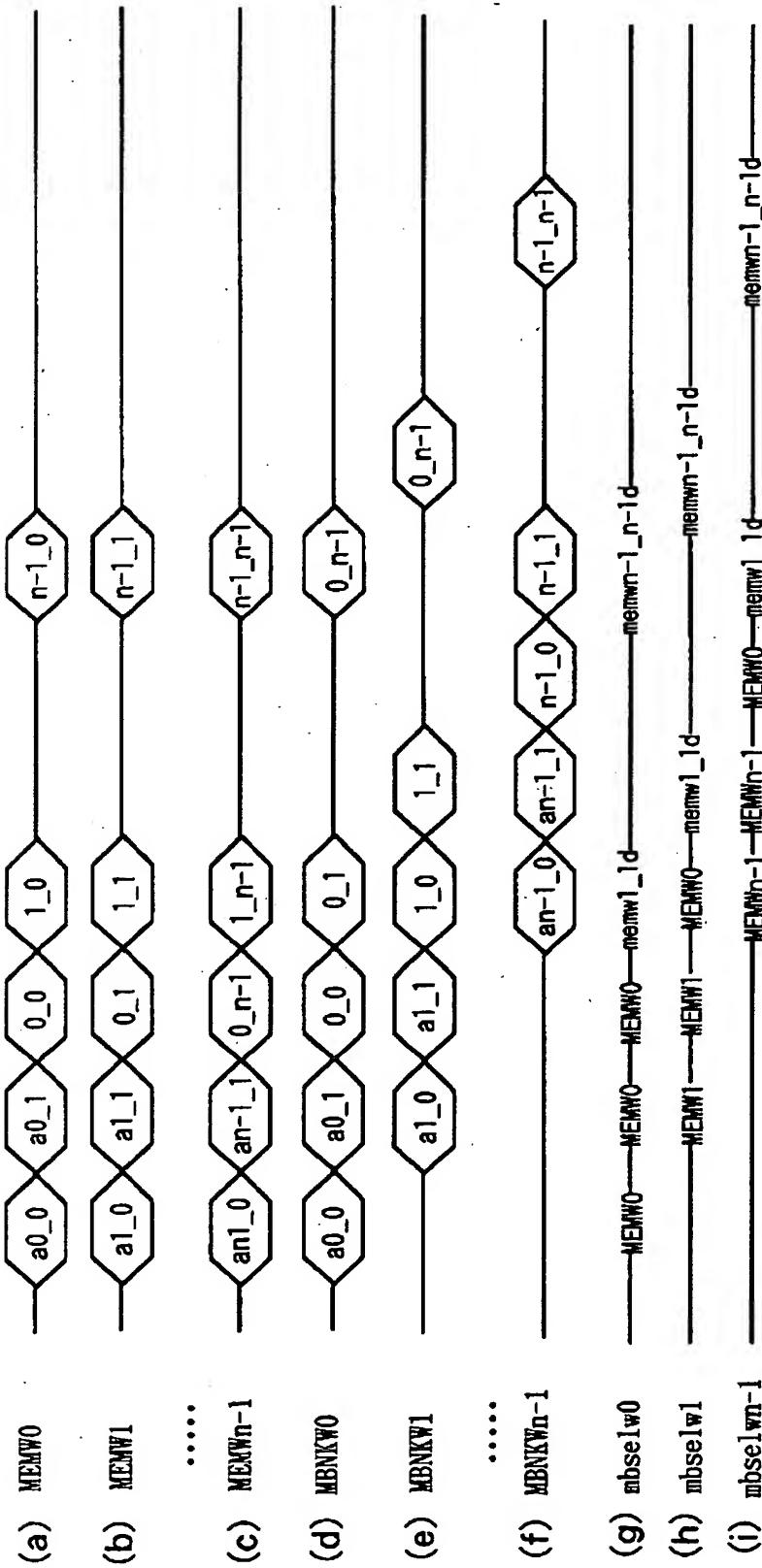
【図21】



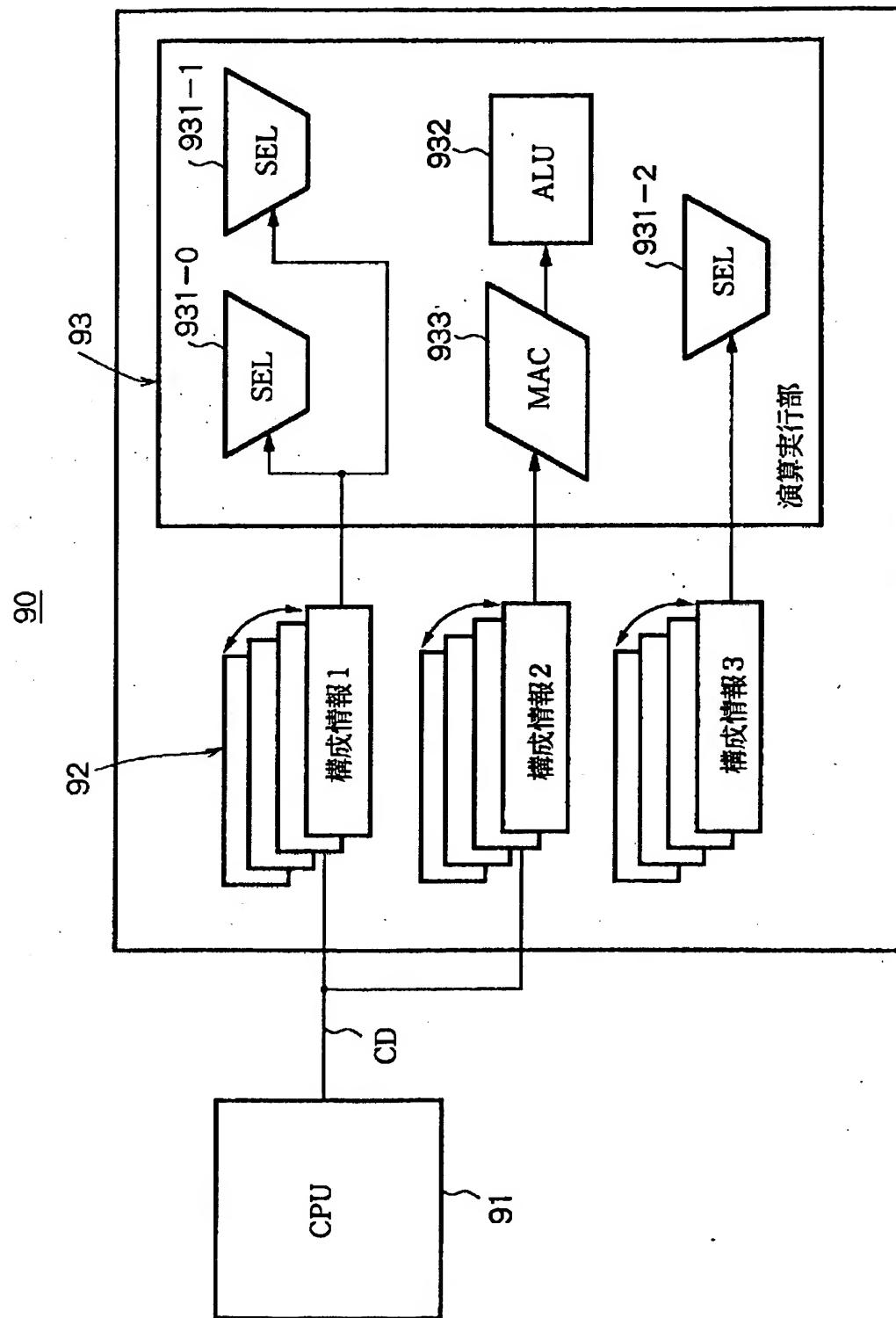
【図22】



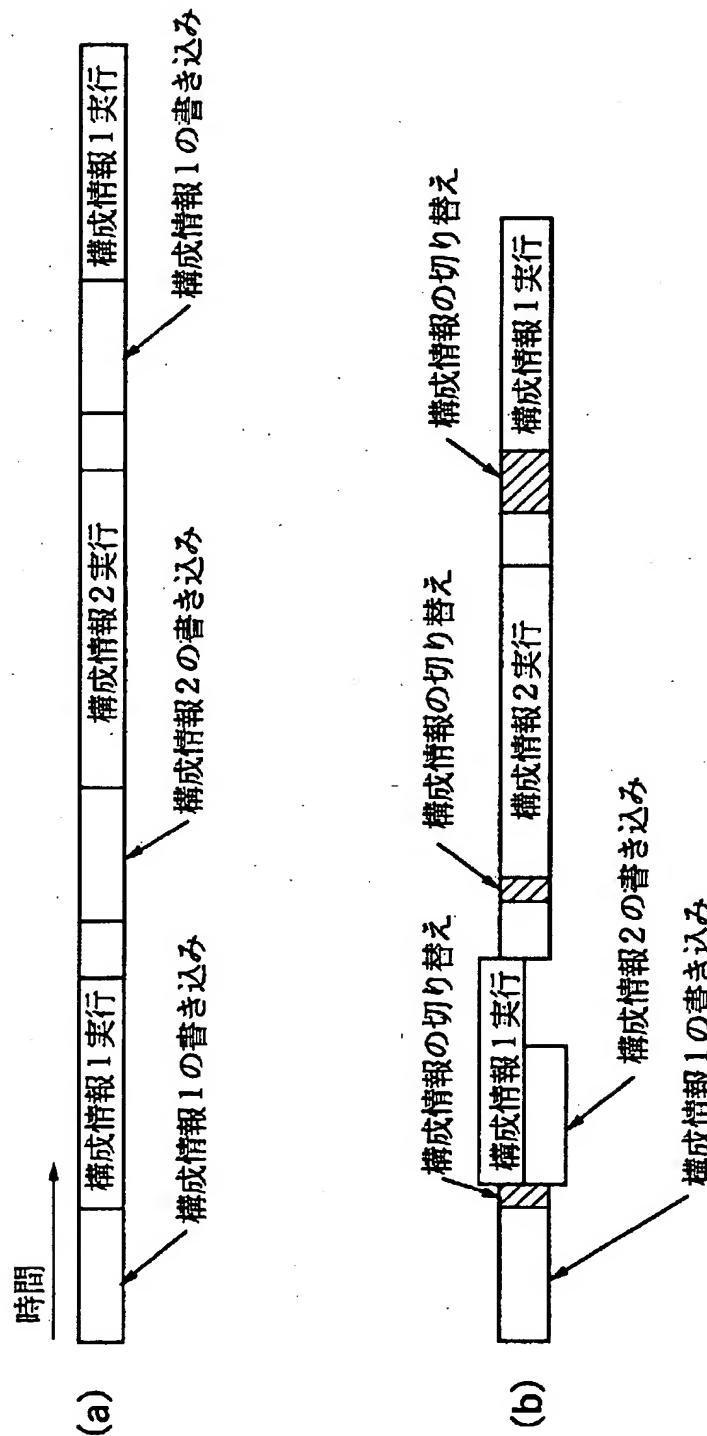
【図23】



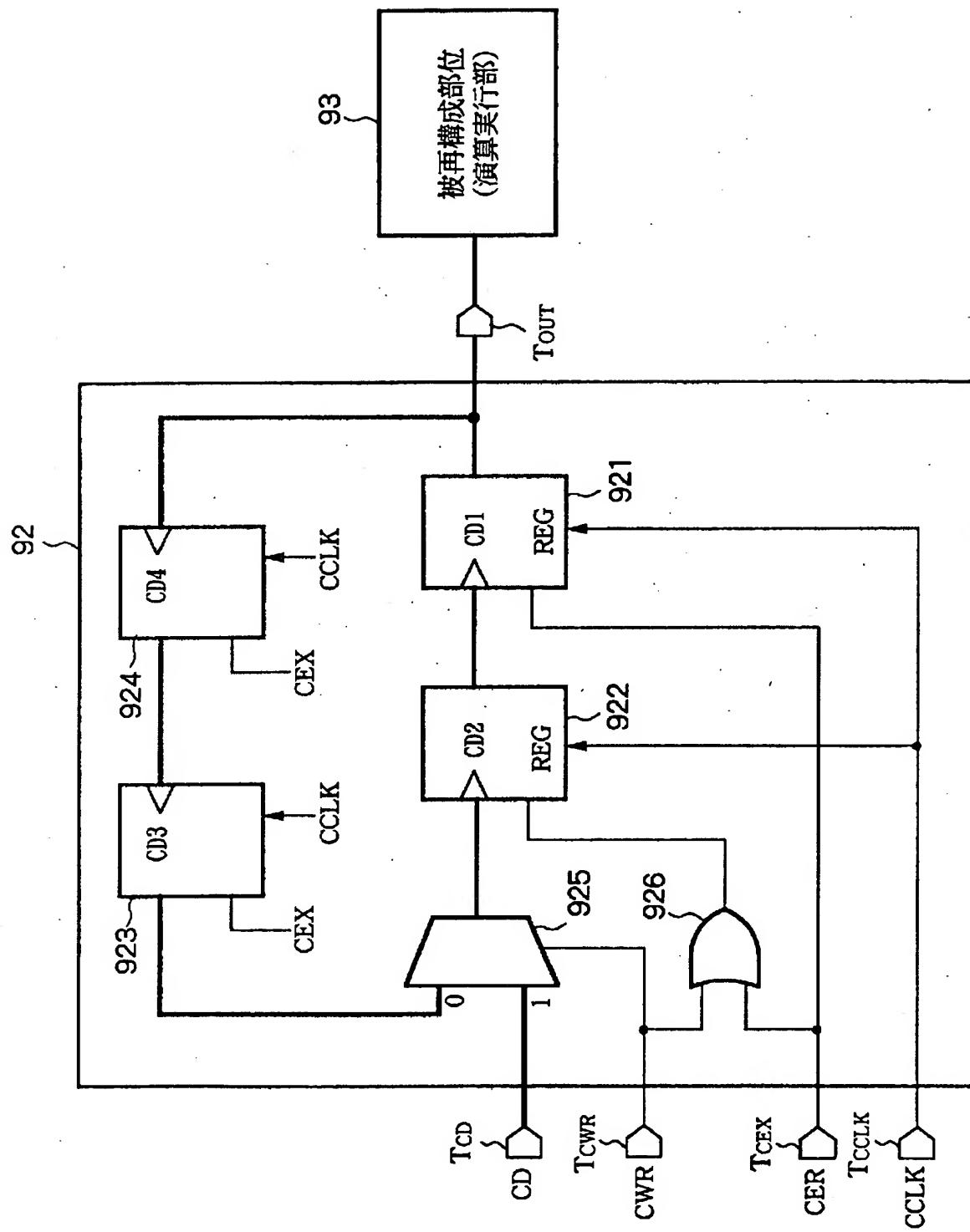
【図24】



【図25】



【図26】



【書類名】 要約書

【要約】

【課題】 同期機構が不要で、制御の簡単化、装置の簡単化を図れる演算システムを提供する。

【解決手段】 構成情報を記憶する複数の構成情報メモリ42、43と、指定されるアドレスに応じて演算情報を読み出し、書き込み可能なデータメモリ46と、制御信号に応じて複数の構成情報メモリの構成情報を選択する選択装置44と、CPU41から起動信号を受けると指定されたパターンでデータメモリのアドレスを生成し、データメモリからの読み出し、データメモリへの書き込みを行い、かつ、生成したアドレスに応じた選択情報を含む制御信号を生成し選択装置44に出力するアドレス生成装置45と選択装置で選択された構成情報に基づいて再構成し、上記データメモリの読み出しデータに対し所定の演算を行い、この演算結果を書き込みとしてデータメモリに出力する演算装置47とを設ける。

【選択図】 図12

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社